



IMAGE DESIGN

1/2.9 inch 1080p Full HD CMOS Image Sensor

MIS2008

DATASHEET

IMAGE DESIGN CONFIDENTIALITY

Chengdu Image Design Technology Co., Ltd.

3F, Building E1, Tianfu Software Park, Hi-tech, Zone Chengdu, Sichuan, China
Tel: +86 028 65060083, Fax: +86 028 65060083

目录

1.	概述.....	1
1.1	特性.....	1
1.2	应用.....	1
1.3	关键参数.....	1
1.4	管脚分布.....	1
2.	管脚说明.....	2
2.1	CSP-41 封装.....	2
3.	典型应用原理图.....	3
3.1	MIPI 应用方案.....	3
4.	电气特性.....	4
4.1	上电时序.....	4
4.2	绝对最大参数.....	5
4.3	DC 工作参数.....	5
4.4	AC 工作参数.....	6
4.5	MIPI 信号特性.....	6
4.6	像素特性规格.....	8
4.7	IIC 接口时序参数	9
4.8	功耗参数.....	9
5.	功能描述.....	10
5.1	芯片结构.....	10
5.2	供电要求.....	11
5.3	系统时钟.....	11
5.4	芯片配置.....	11
5.5	On-chip OTP	12
5.6	全局信号.....	12
5.7	芯片状态.....	12
5.8	Pixel Color Pattern 说明	13
5.9	CRA 角度	14
5.10	像素分布.....	14
5.11	Subsampling 采样.....	14
5.12	MIPI 控制	15
5.13	PLL 控制.....	16
5.14	片内温度传感器.....	19
5.15	IIC 总线接口	20
5.16	多芯片同步输出.....	21
6.	数字功能.....	22
6.1	曝光配置.....	22
6.1.1.	曝光模式.....	22
6.1.2.	曝光时间控制	23
6.2	模拟增益.....	23
6.3	数字增益.....	24
6.4	镜像说明.....	25

6.5	帧长度设置.....	25
6.6	画幅设置.....	26
6.7	ADC 采样精度	27
6.8	典型画幅.....	27
6.9	暗电平校正.....	27
7.	寄存器列表.....	34
7.1	SC 寄存器.....	34
7.2	曝光和增益寄存器.....	37
7.3	画幅寄存器.....	37
7.4	PLL 寄存器.....	38
7.5	TPG 寄存器	39
7.6	BLC 寄存器.....	40
7.7	DGAIN 寄存器	45
7.8	温度传感器寄存器.....	46
7.9	模拟模块 Power Down 控制寄存器.....	46
7.10	MIPI 控制寄存器	47
8.	封装信息.....	50
8.1	CSP-41 封装	50
8.1.1.	CSP-41 封装尺寸.....	50

图片索引

Figure 1 CSP-41 管脚分布图(Top View).....	1
Figure 2 CSP-41 封装管脚分布图(Top View).....	2
Figure 3 MIPI 应用方案原理图.....	4
Figure 4 芯片电源上电时序图	5
Figure 5 MIPI 输出信号参数示意图	6
Figure 6 MIPI 输出信号可能偏差示意图	7
Figure 7 VOD 可能出现偏差示意图	7
Figure 8 IIC 时序说明图	9
Figure 9 芯片模块示意图	11
Figure 10 芯片状态切换	13
Figure 11 像素颜色排布图	13
Figure 12 像素颜色顺序输出说明图	14
Figure 13 像素阵列布局图	14
Figure 14 Subsampling 模式	15
Figure 15 MIPI 系统连接图	15
Figure 16 PLL VCO 输出原理图	16
Figure 17 PLL 输出时钟关系示意图	17
Figure 18 温度传感器原理图	19
Figure 19 IIC 接口原理图	20
Figure 20 IIC 读写格式图	21
Figure 21 多芯片同步输出功能实现说明图	21
Figure 22 Master 曝光模式	22
Figure 23 Slave 曝光模式	22
Figure 24 镜像说明图	25
Figure 25 帧格式说明图	25
Figure 26 画幅设置说明图	26
Figure 27 CSP-41 封装图.....	50

表格索引

Table 1 CSP-41 封装管脚定义	2
Table 2 上电时序参数.....	5
Table 3 绝对最大参数.....	5
Table 4 DC 工作参数	5
Table 5 时钟输入参数.....	6
Table 6 MIPI HS Transmitter AC Specifications	7
Table 7 MIPI HS Transmitter AC Specifications	7
Table 8 LP Transmitter DC Specifications.....	7
Table 9 LP Transmitter AC Specifications	8
Table 10 像素特性规格.....	8
Table 11 IIC 时序参数说明.....	9
Table 12 工作电流说明（动态）	9
Table 13 工作电流说明（静态）	10
Table 14 配置寄存器地址分配.....	11
Table 15 PLL_REFDIV 配置范围表	17
Table 16 PLL_FBDIV 配置范围表.....	18
Table 17 PLL_FRANGE1 配置范围表.....	18
Table 18 PLL_FRANGE2 配置范围表.....	18
Table 19 PLL 相关寄存器配置表.....	19
Table 20 温度传感器寄存器	19
Table 21 温度传感器输出值与温度对应关系表	20
Table 22 IIC SLAVE 接口 DEVICE_ID 对应表.....	20
Table 23 多芯片同步输出寄存器	21
Table 24 曝光控制寄存器	23
Table 25 ADC 增益控制寄存器.....	23
Table 26 数字增益控制寄存器	24
Table 27 镜像调整配置寄存器	25
Table 28 帧长度配置寄存器	26
Table 29 画幅设置寄存器	26
Table 30 输出格式说明	27
Table 31 暗校正模式控制寄存器配置	28
Table 32 CSP-41 封装尺寸表	50

1. 概述

MIS2008 为一款 1/2.9 英寸 200 万像素全高清 CMOS 图像传感器芯片, 有效像素阵列为 1936×1096 , 芯片支持全高清下高帧率应用。MIS2008 具有线性曝光方式, 支持多芯片同步工作功能, 提供片上温度传感器, 优秀的暗环境成像能力, 以及灵活、丰富的配置功能。

1.1 特性

- 1/2.9 英寸光学尺寸
- 1936×1096 有效像素
- $2.79\mu\text{m} \times 2.79\mu\text{m}$ 像素尺寸
- 高灵敏度、低暗电流
- RGB Bayer Pattern
- 2-Lane MIPI CSI-2 接口
- Sub-sampling
- 典型帧率:
 - 1080p@30fps with 12bit ADC
 - 1080p@60fps with 12bit ADC
 - 720p@60fps with 12bit ADC
- 可编程控制: 曝光时间及增益, 帧率, 图像数据输出帧率, 镜像, 窗口设置, 裁剪画幅等
- 图像预处理: 自动暗校正, 太阳黑子去除
- 1~16x 模拟增益 (1/32 step)
- 1~16x 数字全局增益 (1/128 step)
- 1~8x 数字通道增益 (1/32 step)
- 片内温度传感器
- 支持 FSYNCI 外部曝光控制
- IIC 接口寄存器编程
- 电源:
 - DVDD: 1.2V
 - IOVDD: 2.8V / 1.8V
 - AVDD/SVDD/PIXVDD: 2.8V
- ERS 式快门
- 封装: CSP-41

1.2 应用

- 安防监控系统
- 消费类视频产品
- 1080p60 视频应用

1.3 关键参数

输入时钟: 6MHz~54MHz

感光区域: $5.40 \text{ mm} \times 3.06 \text{ mm}$

扫描方式: 逐行扫描

敏感度: $4\text{V/lux}\cdot\text{s}$ @540nm

工作温度范围: $-40^\circ\text{C} \sim 85^\circ\text{C}$

最佳工作温度范围: $-10^\circ\text{C} \sim 65^\circ\text{C}$

动态范围: 72dB

信噪比: 39dB

功耗(Typical):

Operating power: **150** mW

(1080p@30fps)

Standby power: **700** uW

(1080p@30fps)

封装尺寸:

CSP-41: $6.0\text{mm} \times 4.17\text{mm}$

1.4 管脚分布

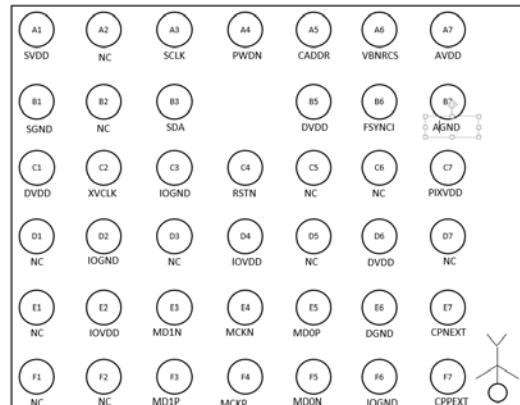


Figure 1 CSP-41 管脚分布图(Top View)

2. 管脚说明

2.1 CSP-41 封装

CSP 封装管脚分布 (TOP VIEW):

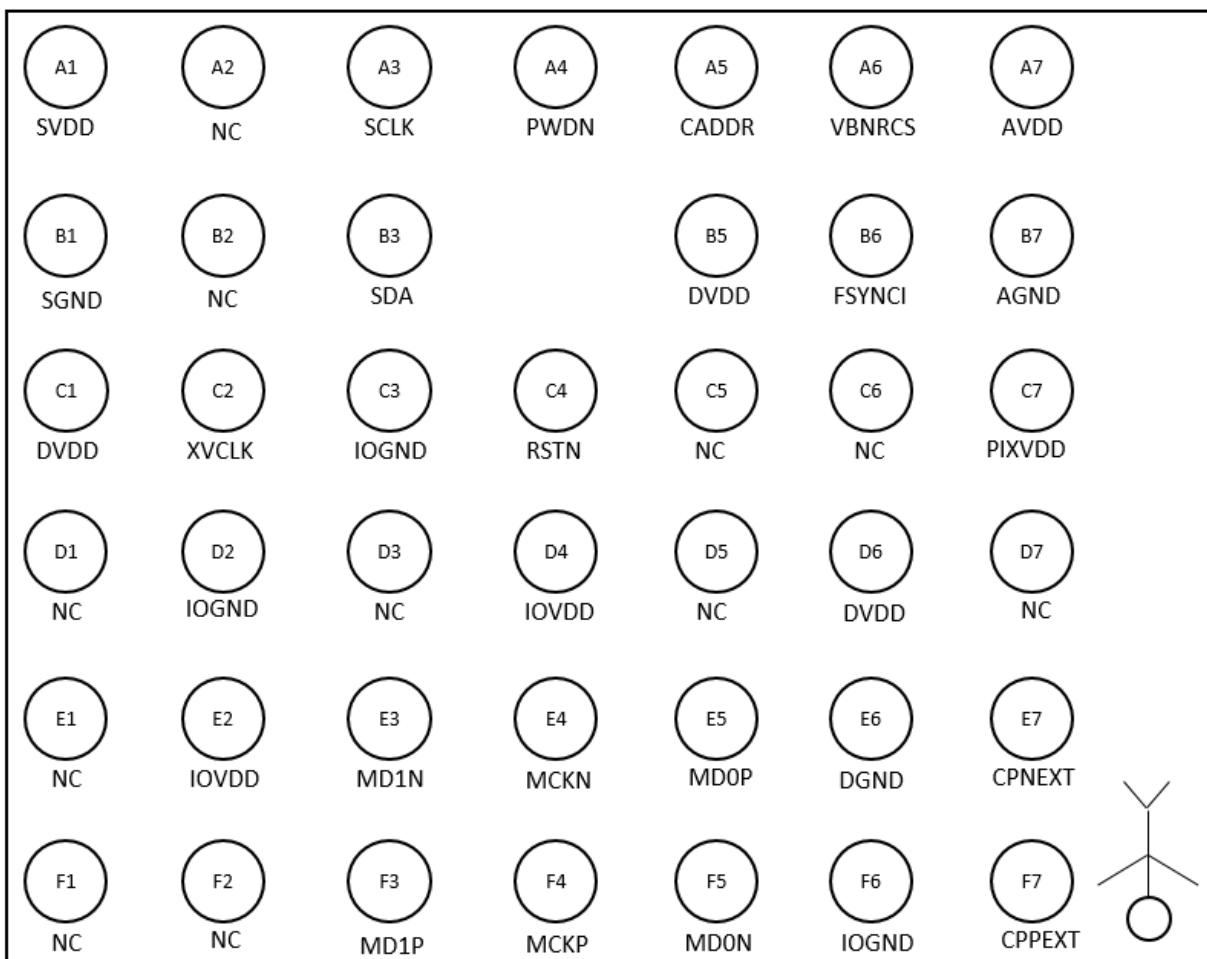


Figure 2 CSP-41 封装管脚分布图(Top View)

Table 1 CSP-41 封装管脚定义

Pin Number	Name	Type	Description
Power			
A7	AVDD	P	Analog Power supply : 2.8V DC
B7	AGND	P	Analog Power ground
A1	SVDD	P	Sensor Power supply : 2.8V DC
B1	SGND	P	Sensor Power ground
D4、E2	IOVDD	P	I/O Power supply: 2.8V/1.8V DC
C3、D2、F6	IOGND	P	IO Power ground
B5、C1、D6	DVDD	P	Digital Power Supply: 1.2V DC
E6	DGND	P	Digital Power ground
C7	PIXVDD	P	Pixel Power supply : 2.8V DC
Clock & Reset			

Pin Number	Name	Type	Description
C2	XVCLK	I	Master clock input pad or Crystal input pad
C4	RSTN	I	Reset pad, Active Low
Mode Select			
A4	PWDN	I	Power down pad, Active High
Data Port			
F4	MCKP	O	MCKP: Positive channel of MIPI Clock
E3	MD1N	O	MD1N: Negative channel of MIPI Data Lane 1
F3	MD1P	O	MD1P: Positive channel of MIPI Data Lane 1
E4	MCKN	O	MCKN: Negative channel of MIPI Clock
F5	MD0N	O	MD0N: Negative channel of MIPI Data Lane 0
E5	MD0P	O	MD0P: Positive channel of MIPI Data Lane 0
Configuration Port			
A5	CADDR	I	Chip address bit 0. Chip address can be changed If CADDR is tied to IOVDD or IOGND
A3	SCLK	I	2-wire serial interface slave clock input
B3	SDA	I/O	2-wire serial interface slave data bus
Function			
B6	FSYNCI	I	External exposure sync pad
Others			
A6	VBNRCS	/	Add-on 1 μ F capacitance (Provisional)
E7	CPPEXT	/	Add-on 2.2 μ F capacitance (Provisional)
F7	CPNEXT	/	Add-on 2.2 μ F capacitance (Provisional)
No Connection(NC) Port			
C6、D7、A2、 B2、D1、E1、F1、 F2、D3、D5、C5	NC	/	No connected, keep floating

3. 典型应用原理图

3.1 MIPI 应用方案

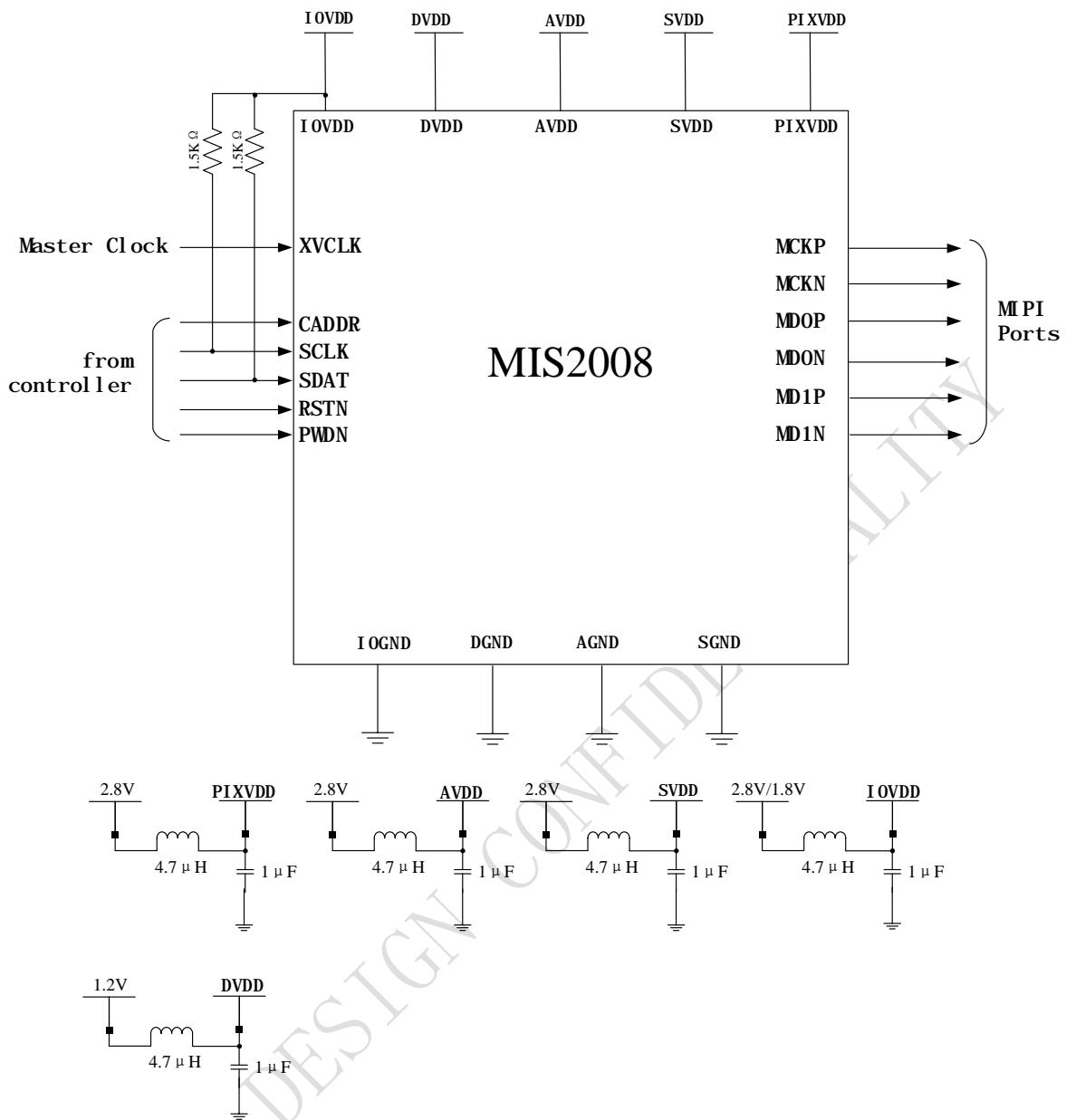


Figure 3 MIPI 应用方案原理图

注意:

- PIXVDD 为 PIXEL 电源, 为得到较好的图像质量, 建议独立于其他电源供电, 并且保证网络不受其他信号影响。
- SVDD 为传感器电路电源, 为得到较好的图像质量, 建议独立于其他电源供电, 并且保证网络不受其他信号影响。
- IIC 总线外挂电阻推荐值为 1.5KΩ, 若 IIC 总线工作在低速模式, 可换为阻值较大的电阻。
- 以上电路图为方案示意图, 详细电路设计请参考《MIS2008 Application Note》。

4. 电气特性

4.1 上电时序

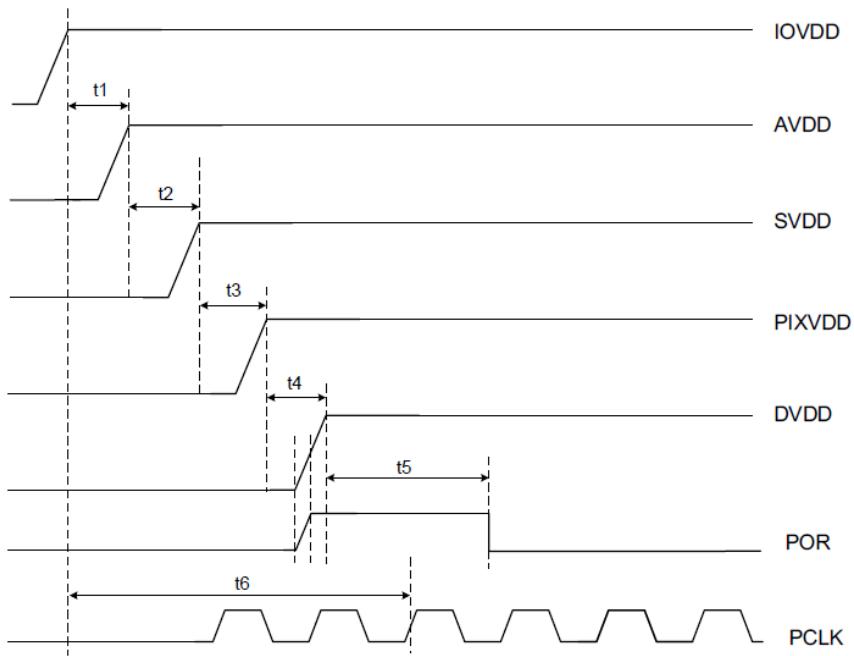


Figure 4 芯片电源上电时序图

MIS2008 芯片参考上电时序如 Figure 4，上电时序在芯片内部实现。外部电路无上电时序要求，各电源可同时上电。使用时注意 POR 的稳定时间为 4ms。PLL 输出在 POR 稳定后 100us 后稳定。

Table 2 上电时序参数

Symbol	Definition	Min.	Typ.	Max.	Unit
t1	IOVDD to AVDD	0	10	—	μs
t2	AVDD to SVDD	0	10	—	μs
t3	SVDD to PIXVDD	0	10	—	μs
t4	PIXVDD to DVDD	0	10	—	μs
t5	DVDD to power on reset complete	2.5	4	6	ms
t6	PLL setup time	—	—	200	μs

4.2 绝对最大参数

Table 3 绝对最大参数

Parameter	Ratings	Unit
Power Supply Voltage	-0.5 to 6.5	V
ESD Susceptibility(HBM)	2000	V
Operating temperature	-40 to +80	°C
Performance temperature	-10 to +60	°C

4.3 DC 工作参数

Table 4 DC 工作参数

Parameter	Symbol	MIN	TYP	MAX	Unit

Analog power supply	AVDD	2.65	2.8	2.95	V
Sensor circuit power supply	SVDD	2.65	2.8	2.95	V
IO power supply	IOVDD	2.65	2.8	2.95	V
Digital power supply	DVDD	1.14	1.2	1.26	V
Pixel array power supply	PIXVDD	2.65	2.8	2.95	V

4.4 AC 工作参数

Table 5 时钟输入参数

Parameter	Symbol	MIN	TYP	MAX	Unit
Input clock frequency (optional)	XVCLK		27		MHz
Input clock duty cycle		45/55		55/45	
Internal clock frequency			27		MHz
POR pulse width	t5		4		ms

4.5 MIPI 信号特性

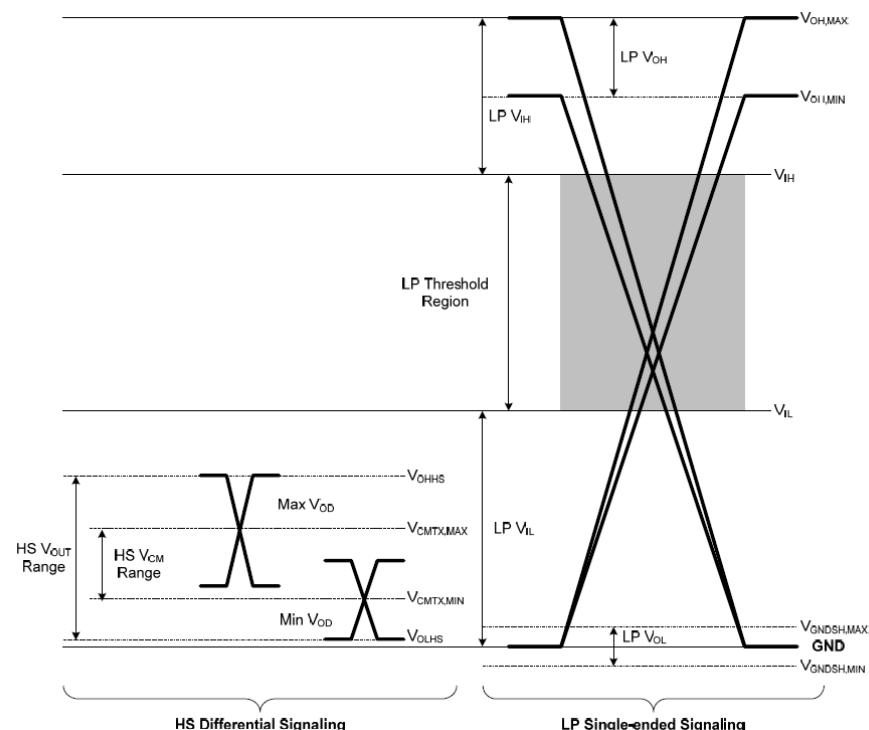


Figure 5 MIPI 输出信号参数示意图

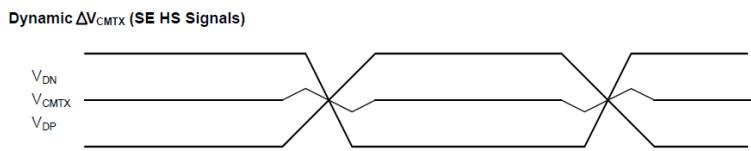
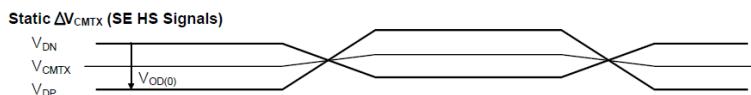


Figure 6 MIPI 输出信号可能偏差示意图

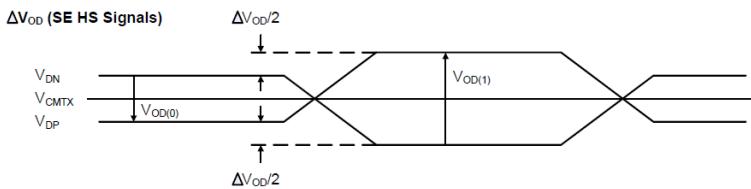


Figure 7 VOD 可能出现偏差示意图

Table 6 MIPI HS Transmitter AC Specifications

Symbol	Description	Condition	Min	Typ	Max	Unit
V _{CMTX}	HS transmit static common-mode voltage	$V_{CMTX} = \frac{V_{DP} - V_{DN}}{2}$	150	200	250	mV
Δ V _{CMTX(1,0)}	VCMTX mismatch when output is Differential-1 or Differential-0	$\Delta V_{CMTX(1,0)} = V_{CMTX(1)} - V_{CMTX(0)} $	/	/	5	mV
V _{OD}	HS transmit differential voltage	$ V_{OD} = V_{DP} - V_{DN} $	140	200	270	mV
ΔV _{OD}	VOD mismatch when output is Differential-1 or Differential-0	$ \Delta V_{OD} = V_{OD(1)} - V_{OD(0)} $	/	/	10	mV
V _{OHHS}	HS output high voltage	/	/	/	360	mV
V _{OLHS}	HS output low voltage	/	40	/	/	mV
Z _{OS}	Single ended output impedance	/	40	50	62.5	Ω
ΔZ _{OS}	Single ended output impedance mismatch	/	/	/	10	%

Table 7 MIPI HS Transmitter AC Specifications

Symbol	Description	Condition	Min	Typ	Max	Unit
ΔV _{CMTX(HF)}	Common-level variations above 450MHz	/	/	/	15	mV _{RMS}
ΔV _{CMTX(LF)}	Common-level variation between 50-450MHz	/	/	/	25	mV _{PEAK}
t _r and t _f	20%-80% rise time and fall time	/	/	/	0.3	UI
		/	/	150	/	ps

Table 8 LP Transmitter DC Specifications

Symbol	Description	Condition	Min	Typ	Max	Unit
V _{OH}	Thevenin output high level	/	1.1	1.2	1.3	V
V _{OL}	Thevenin output low level	/	-50	/	50	mV

Symbol	Description	Condition	Min	Typ	Max	Unit
Z _{OLP}	Output impedance of LP transmitter	$Z_{OLP} = \left \frac{V_{Thevenin} - V_{PIN}}{I_{OUT}} \right $	110	/	/	Ω

Table 9 LP Transmitter AC Specifications

Symbol	Description	Condition	Min	Typ	Max	Unit
T _{RLP/TFLP}	15%-85% rise time and fall time	/	/	/	25	ns
T _{REOT}	30%-85% rise time and fall time	/	/	/	35	ns
T _{LP-PULSE-TX}	Pulse width of the LP exclusive-OR clock	First LP exclusive-OR clock pulse after Stop state or last pulse before Stop state	/	40	/	ns
	All other pulses		/	20	/	ns
T _{LP-PER-TX}	Period of the LP exclusive-OR clock	/	90	/	/	ns
δV/δt _{SR}	Slew rate @ CLOAD = 0pF	/	/	/	500	mV/ns
	Slew rate @ CLOAD = 5pF	/	/	/	300	mV/ns
	Slew rate @ CLOAD = 20pF	/	/	/	250	mV/ns
	Slew rate @ CLOAD = 70pF	/	/	/	150	mV/ns
	Slew rate @ CLOAD = 0 to 70pF (Falling Edge Only)	/	30	/	/	mV/ns
	Slew rate @ CLOAD = 0 to 70pF (Rising Edge Only)	/	30	/	/	mV/ns
	Slew rate @ CLOAD = 0 to 70pF (Rising Edge Only)	/	30 – 0.075 *(V _{O,INS} t=700)	/	/	mV/ns
C _{LOAD}	Load capacitance	/	0	/	70	pF

4.6 像素特性规格

Table 10 像素特性规格

Parameter	Specification			Unit	Comment
	Min	Typ	Max		
Pixel Size	—	2.79 × 2.79	—	um	—
SNRmax	—	39	—	dB	@60°C
Dynamic Range	—	72	—	dB	@60°C
Sensitivity	—	4	—	V/lux·s	@540nm
Quantum Efficiency	—	70	—	%	@442nm
	—	75	—	%	@540nm
	—	70	—	%	@620nm

4.7 IIC 接口时序参数

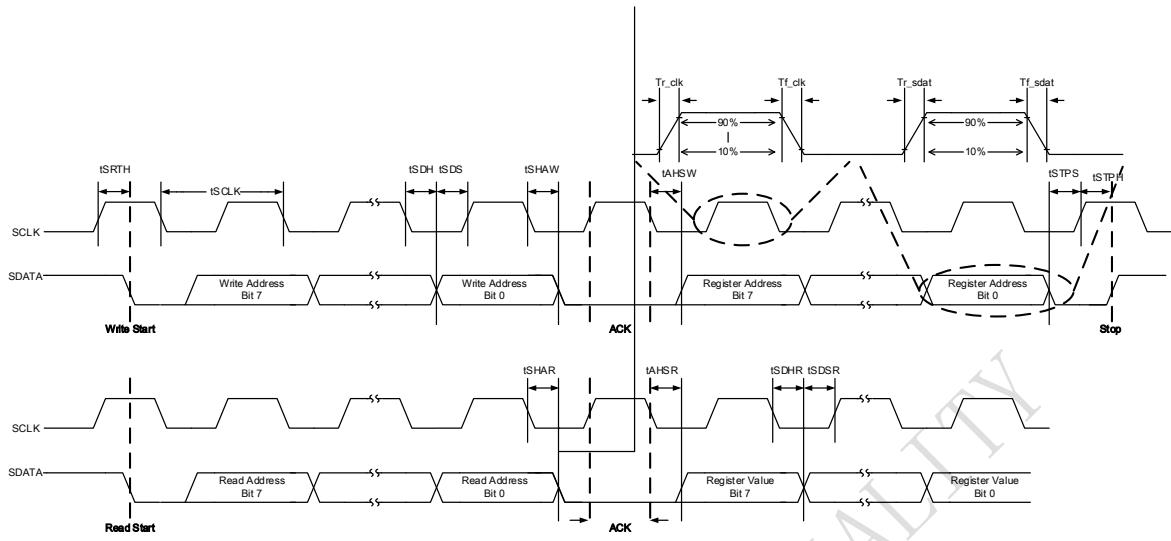


Figure 8 IIC 时序说明图

Table 11 IIC 时序参数说明

Parameter	Symbol	Standard-Mode		Fast-Mode		Unit
		Min	Max	Min	Max	
SCLK Clock Frequency	fSCL	0	100	0	400	kHz
Hold time (repeated) START condition. After this period, the first clock pulse is generated	tHD;STA	4.0	-	0.6	-	μs
LOW period of the SCLK clock	tLOW	4.7	-	1.3	-	μs
HIGH period of the SCLK clock	tHIGH	4.0	-	0.6	-	μs
Set-up time for a repeated START condition	tsu;STA	4.7	-	0.6	-	μs
Data hold time:	tHD;DAT	0 ⁴	3.45 ⁵	0 ⁶	0.9 ⁵	μs
Data set-up time	tsu;DAT	250	-	100 ⁶	-	ns
Rise time of both S DATA and S CLK signals	t _r	-	1000	20+0.1Cb ⁷	300	ns
Fall time of both SDATA and S CLK signals	t _f	-	300	20+0.1Cb ⁷	300	ns
Set-up time for STOP condition	tsu;STO	4.0	-	0.6	-	μs
Bus free time between a STOP and START condition	tBUF	4.7	-	1.3	-	μs
Capacitive load for each bus line	C _b	-	400	-	400	pf
Serial interface input pin capacitance	CIN_SI	-	3.3	-	3.3	pf
SDATA max load capacitance	CLOAD_SD	-	30	-	30	pf
SDATA pull-up resistor	RSD	1.5	4.7	1.5	4.7	kΩ

4.8 功耗参数

Table 12 工作电流说明 (动态)

Parameter	Symbol	TYP	Unit
Analog power supply	AVDD	TBD	mA

Parameter	Symbol	TYP	Unit
Sensor circuit power supply	SVDD	TBD	mA
IO power supply	IOVDD	TBD	mA
Digital power supply	DVDD	TBD	mA
Pixel array power supply	PIXVDD	TBD	mA

注：

1. TYP 指 25°C 温度环境，默认 Timing, Master 曝光模式下，DVDD: 1.2V; IOVDD: 2.8V; AVDD/SVDD/ PIXVDD: 2.8V;
2. 测量皆在使用片内 LDO 的情况下进行；

Table 13 工作电流说明（静态）

Parameter	Symbol	TYP	Unit
Analog power supply	AVDD	TBD	mA
Sensor circuit power supply	SVDD	TBD	mA
IO power supply	IOVDD	TBD	mA
Digital power supply	DVDD	TBD	mA
Pixel array power supply	PIXVDD	TBD	μA

注：

1. TYP 指 25°C 温度环境，默认 Timing, Master 曝光模式下，DVDD: 1.2V; IOVDD: 2.8V; AVDD/SVDD /PIXVDD: 2.8V;
2. 测量皆在 PowerDown 情况下使用片内 LDO 进行；

5. 功能描述

5.1 芯片结构

MIS2008 为一款 1/2.9 英寸 200 万全高清高性能 CMOS 图像传感器芯片，有效像素阵列为 1936 × 1096，芯片支持全高清下高帧率应用。MIS2008 支持 Master 和 Slave 曝光模式，具有片上温度传感器和优秀的暗环境成像能力，可以通过标准的 IIC 接口对其进行配置，使芯片应用范围更加广泛。

MIS2008 在连续曝光模式下，默认以 ADC 12bit 采样，输出 1920H × 1080V 尺寸的图像，帧率为 30fps，最大帧率可达到 60fps。也可以根据应用配置其它输出窗口、曝光时间、增益及其他相应参数。

芯片模块示意图：

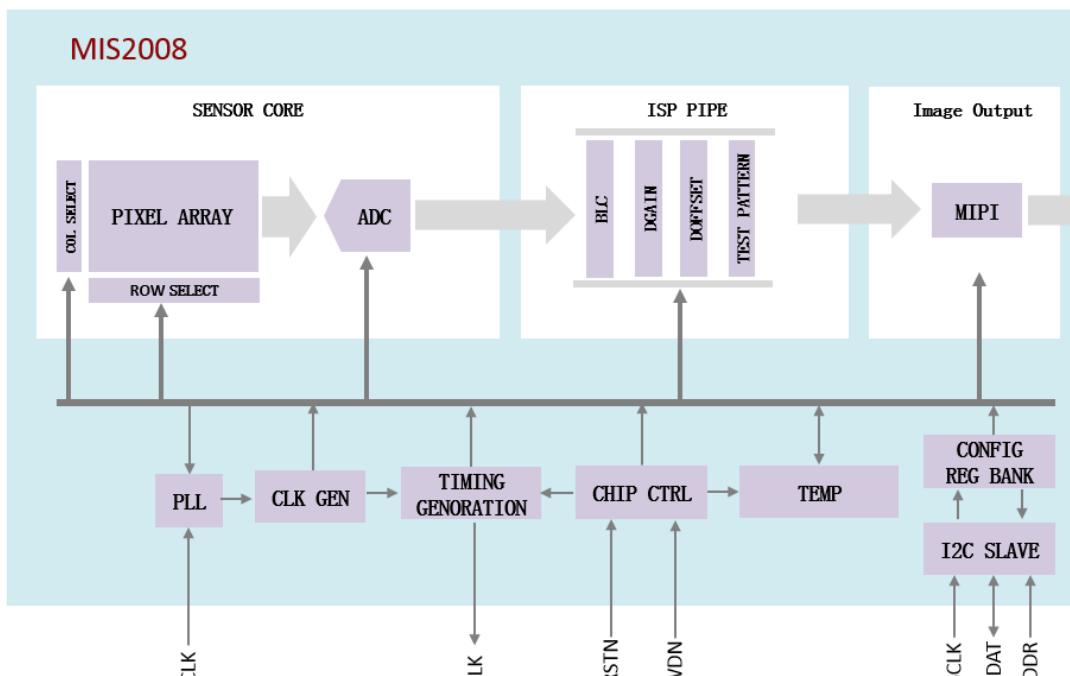


Figure 9 芯片模块示意图

5.2 供电要求

芯片需要 2.8V/1.8V/1.2V 供电, 其中模拟电路供电需要提供 2.8V 电压, 包括: 模拟电源 AVDD, CP 模块电源 CPVDD, ADC 电路电源 SVDD, PIXEL 电源 PIXVDD, MIPI/PLL 模块电源 MVDD33。IOVDD 可以供 2.8V 或 1.8V。推荐采用独立 2.8V LDO 供应 PIXVDD 和 SVDD, 其余 2.8V 电源引脚可以连接在一个网络; 数字部分通过 DVDD 1.2V 供电。详细供电电路设计请参考 3.1, 或者《MIS2008 Application Note》中的参考设计。

5.3 系统时钟

芯片系统时钟通过 XVCLK 端口输入有源时钟信号, 典型输入时钟为 27MHz。默认配置下, PCLK 输出 74.25MHz。可通过 PLL 参数配置其余需要 PCLK 频率, 详细配置过程参见 5.13 中 PLL 控制说明。XVCLK 时钟输入范围为: 6MHz~54MHz。

5.4 芯片配置

芯片可通过 IIC 总线对芯片进行配置, 即芯片进入工作状态后, 上位机通过 SCLK 和 SDAT 两个芯片端口对芯片内部寄存器进行实时读写操作。芯片的 DEVICE ID 由 CADDR 的设置决定, 参见 5.15 中 IIC 总线接口说明。

Table 14 配置寄存器地址分配

Group	Type	Reg Address[15:8]	Note
TOP	OTP	0x2000	OTP 读写寄存器
	SC	0x3000	系统控制配置
	EXP_GAIN	0x3100	曝光和增益配置
	WINDOW	0x3200	帧、画幅配置
	PLL	0x3300	工作时钟配置
ISP	TPG	0x3500	测试图案配置

	BLC	0x3600	暗电平校正配置
	DGAIN	0x3700	数字增益
SENSOR	TS	0x3800	温度传感器配置
MIPI	MIPI	0x3C00	MIPI 寄存器配置

5.5 On-chip OTP

片内 OTP 采用 e-fuse 方式实现 8-bytes 存储。主要用于存储芯片产品序列号、版本号、TS 偏移校正等信息。OTP 出厂时由芯片厂家烧写，用户不可操作。

5.6 全局信号

RSTN_PAD: 除了上电复位外，芯片可以通过 RSTN 对芯片内部进行复位，低电平有效，复位有效宽度要求大于 300 个 XVCLK 周期。

PWDN_PAD: PWDN 信号高电平有效，有效宽度要求大于 300 个 XVCLK 周期，当生效后，芯片模拟电路 POWER DOWN，切断数字部分时钟。需注意：芯片在上电和复位期间，PWDN 需要设置成无效状态。PWDN_PAD 和 PWDN_SOFT 是与的关系，当且仅当两者皆为 0 时，芯片处于工作状态，否则芯片进入 PWDN 状态。

FSYNCI: FSYNCI 信号上升沿触发。在 Slave 曝光模式下，触发 Sensor 进入曝光状态。FSYNCI 信号有效宽度要求大于 10 个 XVCLK 周期。

5.7 芯片状态

芯片在上电之后，一共有五种状态，分别为：复位（RESET）、初始化（INITIAL）、关闭 PLL（PWDN）、捕获（CAPTURE）、待机（KEEP）。

芯片在上电复位、外部复位或软复位三者之一有效后，芯片进入 RESET 状态，关闭 IIC 配置接口；

当芯片三种复位信号全部撤销后，进行 INITIAL 操作，待 OTP_RD 完成后，开放 IIC 配置接口。芯片接收到 INIT_ACK 信号有效后判断芯片曝光模式，如果是 MASTER 曝光模式则芯片进入 CAPTURE 状态，并开始按照配置帧率输出图像数据流；如果是 SLAVE 曝光模式则芯片进入 KEEP 状态，当接收到 FSYNCI 信号有效，芯片进入 CAPTURE 状态，在该状态下进行先曝光再读取数据操作，单帧数据读取完成后自动进行 KEEP 模式下，在此模式下不输出图像，直到下次 FSYNCI 信号到来再进行曝光读数操作。

如果外部 PWDN 或者软 PWDN 信号有效，则芯片进入 PWDN 状态；如果当前帧没有被完整输出，当前帧会等数据输出完成后再进入 PWDN 状态，此时所有的模拟模块处于 PWDN 状态，但仍保持 IIC 接口可配置，去抖模块 BNCE_DEC（外部时钟域）和数字电路部分的复位模块 RESET_GEN（IIC_SLAVE 时钟域）仍工作。所有 PWDN 信号撤销后，芯片重新进入 KEEP 或 CAPTURE 状态，根据当前的配置状态开始新的一帧图像输出。不论是在哪种状态下，任何复位信号有效后均可触发芯片进入 RESET 状态。

RESET 状态：IIC 接口无法访问，信号输出 SDAT 使能均无效，即芯片功能输出 FLOATING。

INITIAL 状态：IIC 接口无法访问，读取 OTP 中数据过程；

CAPTURE 状态和 KEEP 状态：IIC 接口可以访问，信号输出由 OE 寄存器（地址：0x3008）控制是否输出。

PWDN 状态：IIC 接口可以访问。LVDS 输出电路被 POWER DOWN。在 PWDN 状态，所有模拟模块均受到 POWER DOWN 控制。

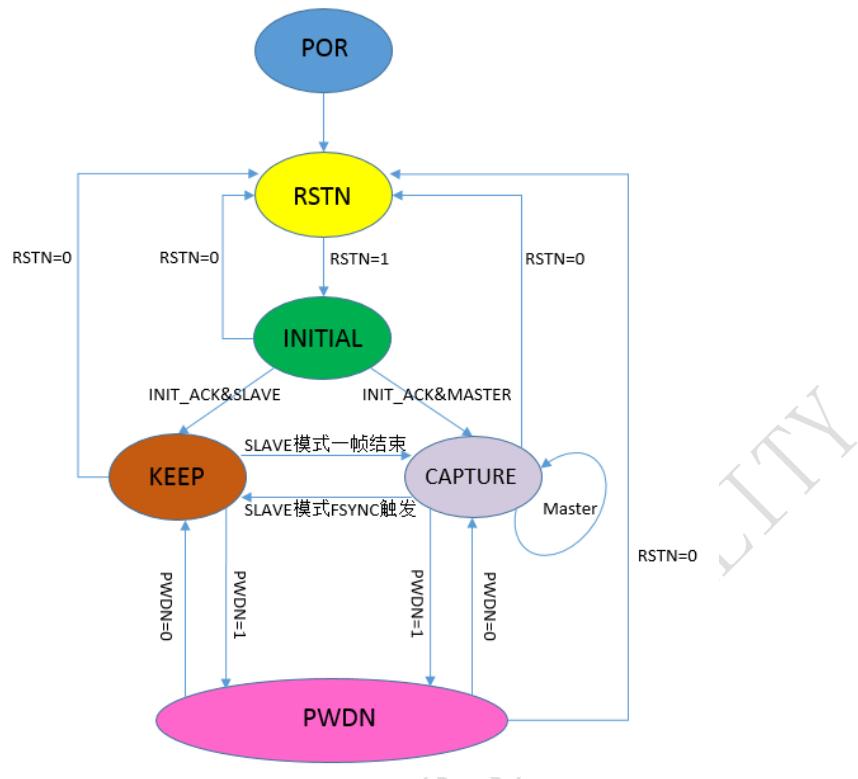


Figure 10 芯片状态切换

5.8 Pixel Color Pattern 说明

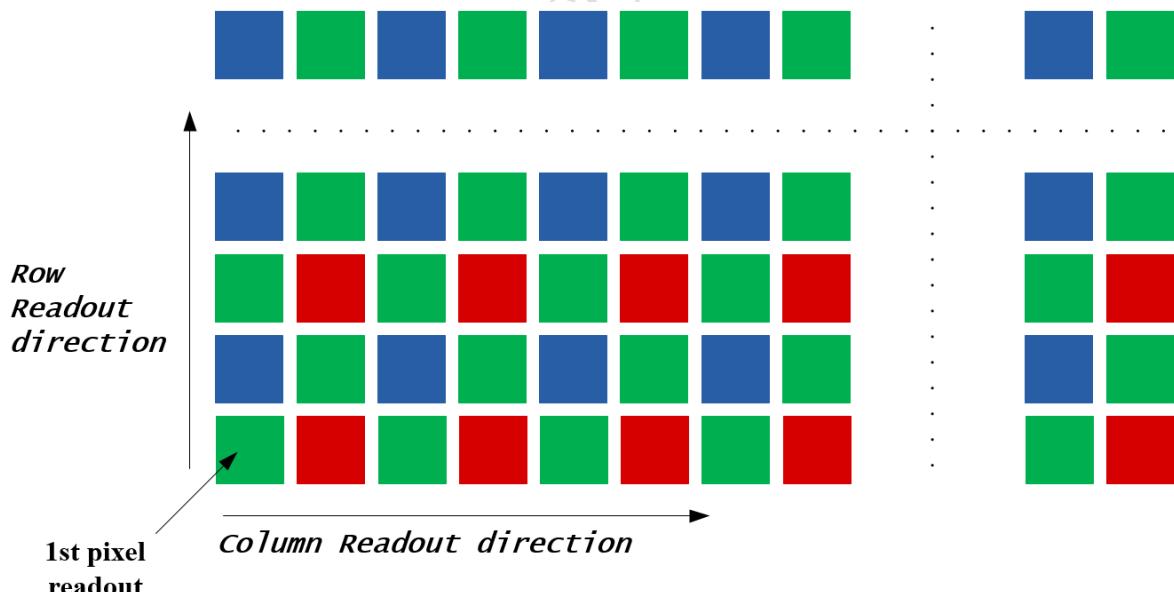


Figure 11 像素颜色分布图

Color Pattern 镜像说明:

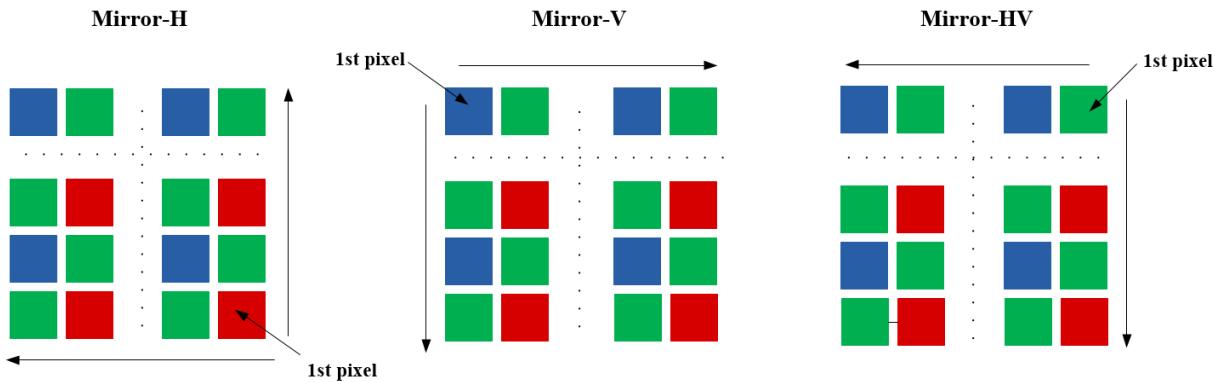


Figure 12 像素颜色顺序输出说明图

5.9 CRA 角度

芯片设置 CRA 角度为 15°

5.10 像素分布

MIS2008 芯片输出有效像素分布，在 $1920H \times 1080V$ 外围各扩展 8 个 Pixel 可用于图像算法使用。



Figure 13 像素阵列布局图

5.11 Subsampling 采样

MIS2008 支持 Subsampling 操作，通过寄存器 Subsampling（地址 0x3014[1:0]）进行配置。

列方向上，如图 Figure 14 所示，当 $0x3014[0]=0$ ，列数据顺序读出；设置 $0x3014[0]=1$ 时，为兼顾 Bayer 格式数据传输，列数据读出顺序将以 $H_2, H_3, H_6, H_7, \dots$ 的顺序读出，此时读出的列数据将减半。

行方向上，如图 Figure 14 所示，当 $0x3014[1]=0$ ，行数据顺序读出；设置 $0x3014[1]=1$ 时，为兼顾 Bayer 格式数据传输，行数据读出顺序将以 $V_0, V_1, V_4, V_5, \dots$ 的顺序读出，此时读出的行数据将减半。

Subsampling 模式下，FRAMW_HST（地址：{0x3204[2:0],0x3205[7:0]}），FRAMW_WST（地址：

{0x3208[2:0],0x3209[7:0]}) 配置的低 2bit 需配置成 2'b00 , FRAME_HEND (地址 : {0x3206[2:0],0x3207[7:0]}), FRAME_WEND (地址 : {0x320A[2:0],0x320B[7:0]}) 配置的低 2bit 需配置成 2'b11。

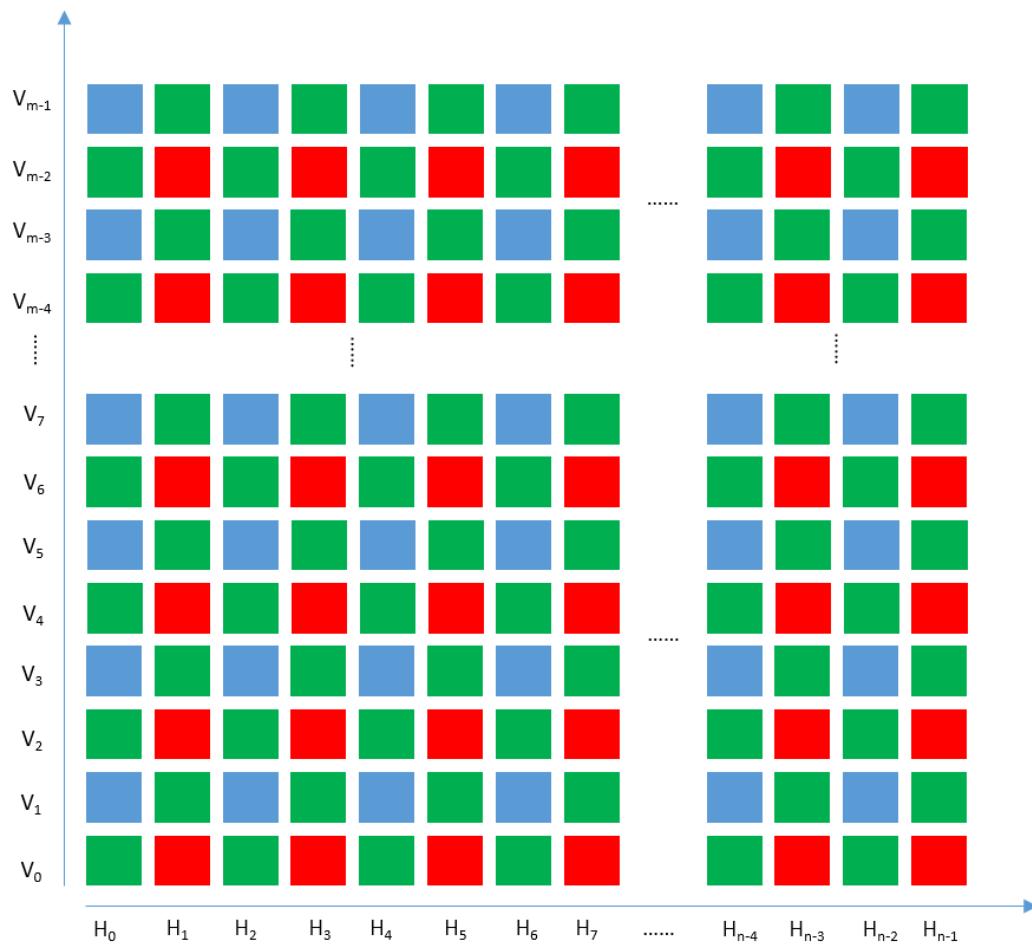


Figure 14 Subsampling 模式

5.12 MIPI 控制

MIS2008 支持 MIPI 输出图像数据，芯片设计有 2 组数据端口和 1 组时钟端口。输出根据需要可以分为 1 通道输出和 2 通道输出。

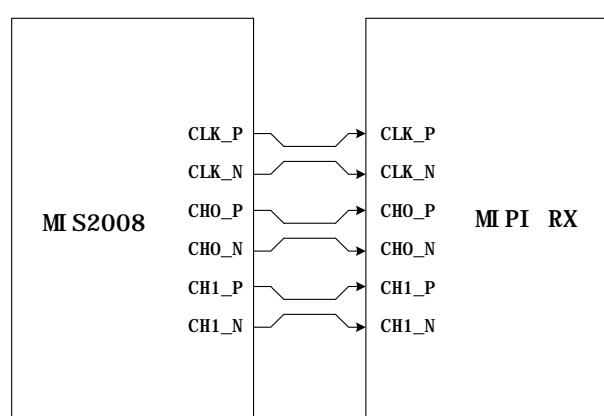


Figure 15 MIPI 系统连接图

MIPI 支持 1-lane/2-lanes 模式。可通过寄存器配置，选择 MIPI 通道数及数据格式。MIPI 支持 RAW10、RAW12 两种数据格式，通过寄存器 MIPI_BIT_MODE (地址: 0x330D[0]) 选择 10bit 或 12bit 输出，默认为 12bit 输出。

使用 MIPI 时，配置寄存器 DOUT_MOD (地址: 0x300B[1:0])，选择 MIPI 输出。寄存器 mipi_lane_ctrl2 (地址: 0x3C42[7:0]) 控制物理通道，1 为通道使能，0 位通道关闭。根据打开的物理通道数，需要配置 MIPI_CH_SEL (地址: 0x330B[0])，选择 MIPI 输出时钟。根据 MIPI 时钟 BITCLK 的周期值 $\times 4$ 并向下取整(单位 ns)，配置 MIPI 的 clk_period[9:0]寄存器(地址: {0x3C01[1:0],0x3C00[7:0]})。配置 MIPI 的 Data type (地址: 0x3C20[5:0]和 0x3012[7:0]需同时配置)。若使用 RAW10 格式，则 0x3012=0x2B，0x3C20=0x2B；若使用 RAW12 格式，则 0x3012=0x2C，0x3C20=0x2C。设置 MIPI 的数据画幅(地址 mipi_width={0x3C25[7:0],0x3C24[7:0]}，mipi_height={0x3C27[7:0],0x3C26[7:0]})。完成以上配置后，设置 0x3F00、0x3F01、0x3F02、0x3F03 为 0x00，释放 MIPI 各模块复位，MIPI 开始工作。其余 MIPI 配置，请联系原厂 FAE 提供 MIPI 配置表。

5.13 PLL 控制

MIS2008 芯片 PLL 模块允许的输入时钟频率范围为 6~54MHz，其中 VCO 输出时钟频率 (VCO_CLK) 的范围为 891MHz-1.08GHz，主要用于提供系统时钟 PCLK、接口时钟 BITCLK/BYTECLK 和模拟时钟 ACLK，系统时钟 PLCK 需要提供输出频率典型值 72MHz、74.25MHz、148.5MHz 三种频率，接口时钟根据模式配置分别是 PCLK 的 5/6/10/12 倍频。此外，ACLK 在各个模式下均需保持在 PCLK 三倍以上。为减小功耗，BITCLK/BYTECLK 需要在 MIPI 工作时打开，在 MIPI 不工作时关闭。PLL 原理图如下：

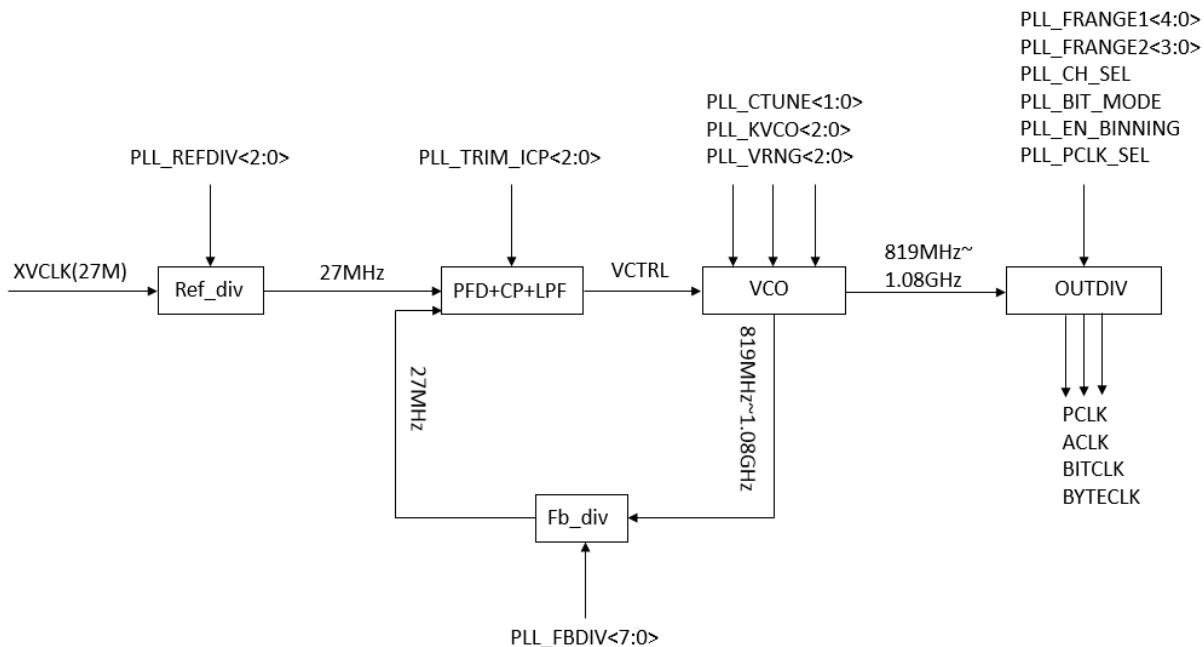


Figure 16 PLL VCO 输出原理图

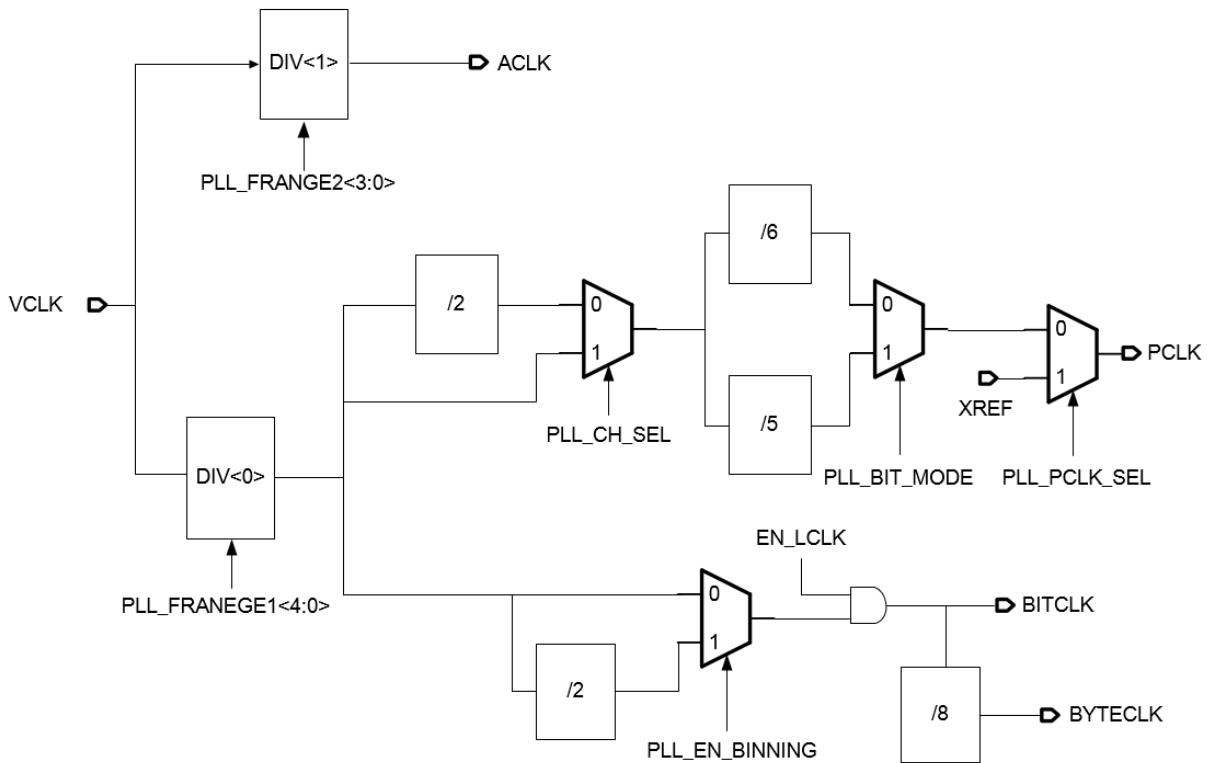


Figure 17 PLL 输出时钟关系示意图

频率计算公式：

1、VCO输出 f_{VCO} 频率公式：

$$f_{VCO} = \frac{XVCLK \cdot PLL_FBDIV[7:0]}{PLL_REFDIV[2:0]}$$

2、模拟时钟 f_{ACLK} 频率公式：

$$f_{ACLK} = \frac{f_{VCO}}{PLL_FRANGE2[3:0]}$$

3、像素时钟 f_{PCLK} 及 f_{PCLK2x} 频率公式：

$$f_{PCLK} = \begin{cases} \frac{f_{VCO}}{PLL_FRANGE1[4:0] \cdot 12} & \text{if } PLL_CH_SEL = 0, PLL_BIT_MODE = 0 \\ \frac{f_{VCO}}{PLL_FRANGE1[4:0] \cdot 10} & \text{if } PLL_CH_SEL = 0, PLL_BIT_MODE = 1 \\ \frac{f_{VCO}}{PLL_FRANGE1[4:0] \cdot 6} & \text{if } PLL_CH_SEL = 1, PLL_BIT_MODE = 0 \\ \frac{f_{VCO}}{PLL_FRANGE1[4:0] \cdot 5} & \text{if } PLL_CH_SEL = 1, PLL_BIT_MODE = 1 \end{cases}$$

4、MIPI时钟 f_{BITCLK} 频率公式：

$$\begin{cases} f_{BITCLK} = \frac{f_{VCO}}{PLL_FRANGE1[4:0]} & \text{if } PLL_EN_BINNING = 0 \\ f_{BITCLK} = \frac{f_{VCO}}{PLL_FRANGE1[4:0] \cdot 2} & \text{if } PLL_EN_BINNING = 1 \end{cases}$$

5、MIPI采样时钟 $f_{BYTECLK}$ 频率公式：

$$f_{BYTECLK} = \frac{f_{BITCLK}}{8}$$

Table 15 PLL_REFDIV 配置范围表

PLL_REFDIV[2:0]	分频数
3'b000	1
3'b001	1.5
3'b010~3'b111	PLL_REFDIV[2:0]设置值

Table 16 PLL_FBDIV 配置范围表

PLL_FBDIV[7:0]	倍频数
8'b0000_0000~8'b0000_0111	8+PLL_FBDIV[7:0]配置值
8'b0000_1000~8'b1111_1111	PLL_FBDIV[7:0]配置值

Table 17 PLL_FRANGE1 配置范围表

PLL_FRANGE1[4:0]	分频数
XXX0X	1
XX01X	2
X011X	4
0111X	8
1111X	16

Table 18 PLL_FRANGE2 配置范围表

PLL_FRANGE2[3:0]	分频数
0000/1011/1101	1
Others	PLL_FRANGE2 [3:0]配置值

在配置 PCLK 时钟频率时，需要同时考虑 ACLK 频率应设置在 200MHz 左右，以满足芯片内部 PIXEL 和模拟电路的正常工作。

Table 19 PLL 相关寄存器配置表

Addr	Bit	Register	Default	Type	Description
0x3300	[7:0]	PLL_FBDIV[7:0]	0x21	RW	倍频器级数控制端
0x3301	[7:3]	RFU	0x00	RW	Reserved
	[2:0]	PLL_REFDIV[2:0]		RW	预分频器级数控制
0x3302	[7:5]	RFU	0x02	RW	Reserved
	[4:0]	PLL_FRANGE1[4:0]		RW	PCLK 输出时钟分频控制
0x3303	[7:4]	RFU	0x04	RW	Reserved
	[3:0]	PLL_FRANGE2[3:0]		RW	ACLK 输出时钟分频控制
0x330B	[7:1]	RFU	0x01	RW	Reserved
	[0]	PLL_CH_SEL		RW	LVDS 通道数配置位： L 代表 1 通道； H 代表 2 通道
0x330D	[7:1]	RFU	0x00	RW	Reserved
	[0]	PLL_BIT_MODE		RW	比特模式配置位： H 代表 10bits； L 代表 12/11bits
0x3311	[7:2]	RFU	0x00	RW	Reserved
	[1]	I2CLK_MODE		RW	0: 片内自动切换； 1: 固定为外部时钟，此时 I2CLK_SEL 无效，且会增加动态功耗
	[0]	I2CLK_SEL		RW	0: PCLK/8； 1: PCLK/4

5.14 片内温度传感器

MIS2008 芯片内部设计有温度传感器供系统评估芯片温度，进而对图像质量进行更完善的优化。温度传感器输出温度范围-40°C~125°C，精度为 0.647°C。温度传感器工作原理如图 Figure 18 所示，当控制寄存器 EN_TEMP(地址 0x3800)开启，用户可以通过控制寄存器 FREQ_TEMP(地址 0x3801)设置温度传感器采样频率。温度传感器输出通过 12 位 ADC 转换为数字信号，并写入寄存器 TEMP_VALUE (地址{0x3802, 0x3803}) 中，芯片外部再通过 IIC 接口将温度传感器输出值读出，进而评估芯片温度。



Figure 18 温度传感器原理图

Table 20 温度传感器寄存器

Addr	Bit	Register	Default	Type	Description
0x3800	[7:1]	RFU	0x00	RW	Reserved
	[0]	EN_TEMP		RW	温度传感器使能 0: 关闭，1: 开启
0x3801	[7:0]	FREQ_TEMP	0x00	RW	温度传感器采样频率

Addr	Bit	Register	Default	Type	Description
					$1/2^{(N+1)} * \text{frame rate}$
0x3802	[7:4]	RFU	0x00	RO	温度传感器输出数据值
	[3:0]	TEMP_VALUE[11:8]			
0x3803	[7:0]	TEMP_VALUE	0x00	RO	

Table 21 温度传感器输出值与温度对应关系表

TEMP_VALUE	温度 (°C)
0x00	-40
0x01	-39.353
0x02	-38.706
0x03	-38.059
0x04	-37.412
0x05	-36.765
0x06	-36.118
.....
0xFB	122.412
0xFC	123.059
0xFD	123.706
0xFE	124.353
0xFF	125

注意：温度传感器输出及实际温度之间的关系，需标定，上表仅做参考。

5.15 IIC 总线接口

MIS2008 芯片设计 IIC SLAVE 接口，当芯片进入工作状态后（图像数据输出），此时上位机通过 IIC SLAVE 接口对芯片实时配置。

状态控制通过 IIC 接口，把控制位传输到相应的寄存器组。

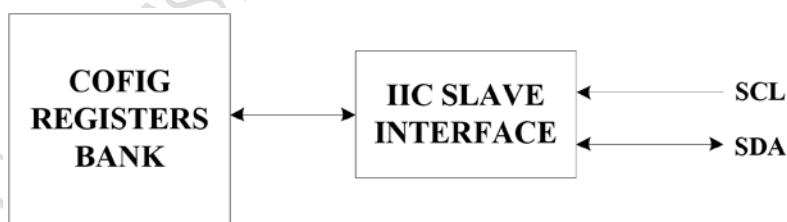


Figure 19 IIC 接口原理图

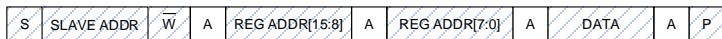
Table 22 IIC SLAVE 接口 DEVICE_ID 对应表

CADDR	0	1
write address	0x60	0x62
read address	0x61	0x63

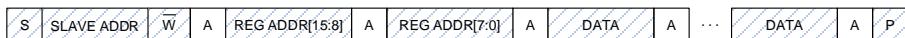
IIC_SLAVE 模块作为 IIC 总线接口完成对配置寄存器读、写操作。寄存器地址支持 16 位，根据标准的 IIC 总线进行通讯。

FROM MASTER TO SLAVE FROM SLAVE TO MASTER

SINGLE WRITE MODE



BURST WRITE MODE



SINGLE READ MODE



BURST READ MODE



S: Start condition. Sr : Repeated Start (Start without preceding stop)

R/W: Read/Write selection, High = read, LOW = write.

A: Acknowledge bit. DATA: 8-bit data. P: Stop condition.

Figure 20 IIC 读写格式图

5.16 多芯片同步输出

多芯片同步输出功能，可将两片或者多片 MIS2008 芯片图像数据输出同步，以满足协同工作需求，如 3D 应用等，为满足此应用需求，芯片需要配置成 SLAVE 工作模式。在此模式下用户可以通过配置寄存器灵活的使用多芯片同步输出功能，以应对系统应用中的多种问题。

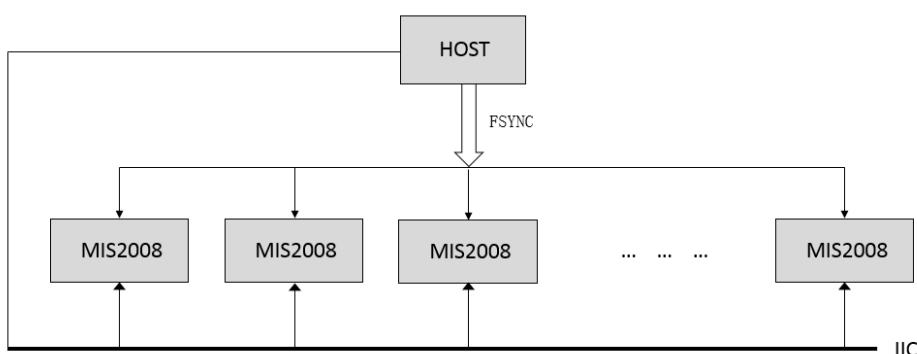


Figure 21 多芯片同步输出功能实现说明图

在芯片同步输出功能应用中，一般将两颗或者多颗 MIS2008 芯片的帧率、画幅设置配置成相同参数（或按实际应用要求特殊设置），然后进行同步工作，当曝光读取一帧数据后，芯片进行等待状态，直到下个 FSYNCI 到来重新曝光读取数据，该模式下芯片帧率完全由外部控制。

在 SLAVE 模式下，配置寄存器 FSYNC_SOFT (地址: 0x301C[0]) 等于 1 时或输入 FSYNCI 等于 1 时，进行单次曝光读取数据操作。

Table 23 多芯片同步输出寄存器

Addr	Bit	Register	Default	Type	Description
0x301B	[7:3]	RFU	0x00	RW	Reserved
	[2:1]	EXTSYNC_DELAY		RW	外同步帧延时 00: no delay 01: 1 PCLK delay 10: 2 PCLK delay

Addr	Bit	Register	Default	Type	Description
0x301C	[0]	EXP_MOD		RW	11: 3 PCLK delay
					曝光模式控制: 1: slave 曝光; 0: master 曝光
0x301C	[7:1]	RFU	0x0	WO	Reserved
	[0]	FSYNC_SOFT		WO	软 FSYNC, SLAVE 曝光模式下图像采集触发信号: 0: Disable; 1: Enable

6. 数字功能

6.1 曝光配置

6.1.1. 曝光模式

MIS2008 芯片支持 Master、Slave 两种曝光模式，EXP_MOD 寄存器（地址：0x301B[0]）控制曝光模式切换。系统上电默认进入 Master 模式。注意，曝光模式切换均在 POWER DOWN 下进行。

当 EXP_MOD=0 时，MIS2008 芯片为 Master 曝光模式。

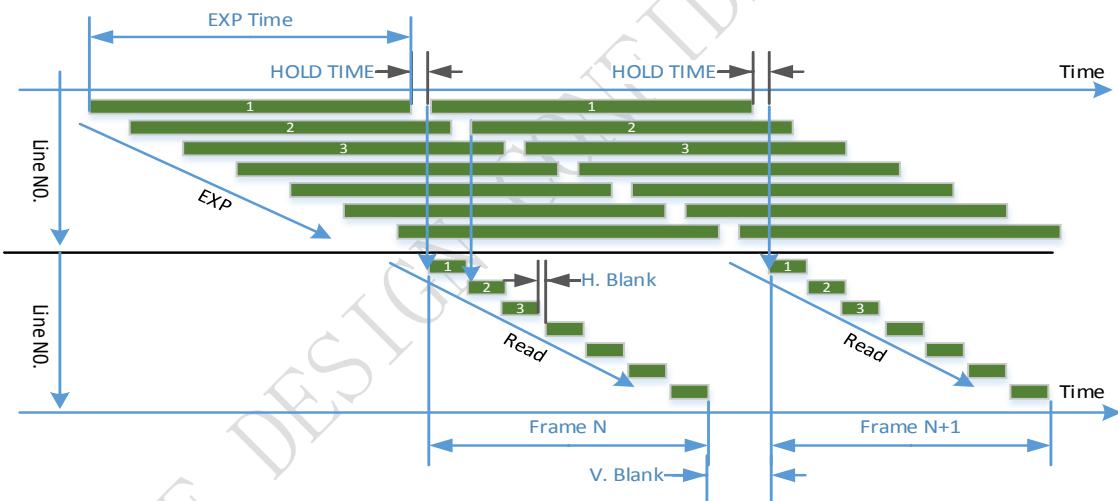


Figure 22 Master 曝光模式

Master 曝光模式下，芯片连续曝光并输出图像。

当 EXP_MOD=1 时，MIS2008 芯片为 Slave 曝光模式。

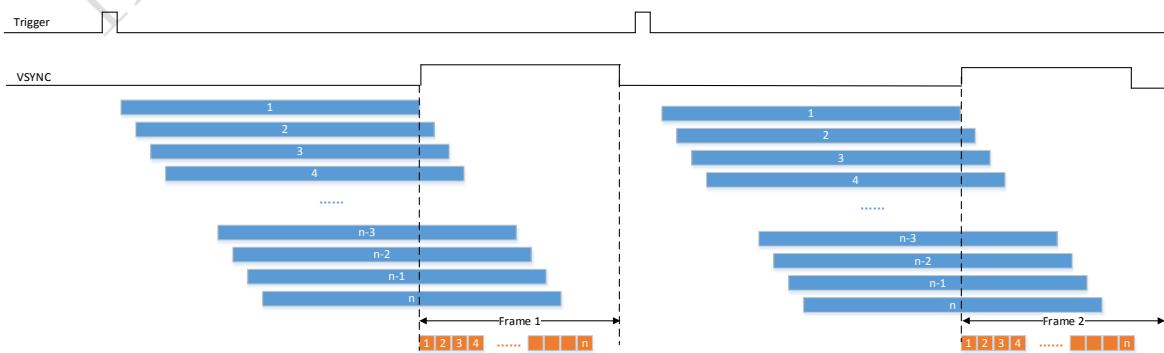


Figure 23 Slave 曝光模式

Slave 曝光方式下，由 FSYNCI 或 FSYNC_SOFT（地址：0x301C[0]）上升沿触发芯片曝光。曝光时间通过 EXP 寄存器（地址：{0x3100[7:0], 0x3101[7:0]}）配置。**FSYNCI 需持续 10 个 XVCLK**。FSYNCI 需要控制器主动撤销，若当前帧数据输出完成后 FSYNCI 还未能撤销，芯片不会触发进入下一帧曝光。FSYNC_SOFT 配置响应后，自动复位到默认值 0。

6.1.2. 曝光时间控制

调整曝光寄存器 EXP（地址：{0x3100[7:0], 0x3101[7:0]}）可以调整曝光时间。

曝光时间调整精度，即曝光控制寄存器 EXP 每增加或减小一个数值，曝光时间增加或者减小的时间，由下公式给出：

$$\text{EXP_STEP} = \text{FRAME_W} * 1/\text{PCLK}$$

上面公式中，FRAME_W 是帧宽度，可通过配置寄存器 FRAME_W（地址：{0x3202[7:0], 0x3203[7:0]}）给出，PCLK 为芯片输出时钟，默认 74.25MHz；

Master 曝光模式下，限制最大曝光时间是 FRAME_H 值，由下公式确定：

$$\text{EXPmax} = \text{FRAME_H} - 1$$

上面公式中，FRAME_H 是帧高度，可通过配置寄存器 FRAME_H（地址：{0x3200[7:0], 0x3201[7:0]}）给出。通过调整 FRAME_H 参数，即可调整每帧的时间（以行周期为单位），进而调整曝光时间的范围。

Table 24 曝光控制寄存器

Addr	Bit	Register	Default	Type	Description
0x3100	[7:0]	EXP[15:8]	0x00	RW	Max: FRAME_H - 1 Min: 1
0x3101	[7:0]	EXP[7:0]	0x80	RW	

6.2 模拟增益

除曝光时间，MIS2008 可通过修改增益参数以提高图像亮度。调节 ADC 增益可以实现 1X ~ 8X 增益。

ADC 增益分为粗调和细调，粗调增益 1X~8X，细调增益在粗调增益之间有 32 个步进。

Table 25 ADC 增益控制寄存器

Configuration Reg(0x3102)		ADC Gain
[6:5]	[4:0]	
00	00000	1X
	00001	(1+1/32)X
	00010	(1+2/32)X
	00011	(1+3/32)X

	11111	(1+31/32)X
01	00000	2X
	00001	2 *(1+1/32)X
	00010	2 *(1+2/32)X
	00011	2 *(1+3/32)X

	11111	2 *(1+31/32)X
10	00000	4X
	00001	4 *(1+1/32)X
	00010	4 *(1+2/32)X

	00011	4 * (1+3/32)X

	11111	4 * (1+31/32)X
11	00000	8X
	00001	8 *(1+1/32)X
	00010	8 *(1+2/32)X
	00011	8 *(1+3/32)X

	11111	8 *(1+31/32)X

注意：

Master 模式下，曝光时间及增益在第 N 帧写入，第 N+2 帧生效；Slave 模式下，曝光时间及增益在第 N 帧状态下写入，N+1 帧立即生效。

6.3 数字增益

除模拟增益，MIS2008 还可以通过数字增益提升图像质量。数字增益分为通道增益和全局增益，Pixel 数据先乘以通道增益，再乘以全局增益，作为最终的输出结果。通道增益和全局增益一共可以实现 1X~128X 增益。

在做完数字增益之后，可以通过寄存器 DOVF_EN（地址：0x3706[0]）控制数字增益模块是否输出负数数据。当 DOVF_EN=0 时，不允许输出负值；当 DOVF_EN=1 时，允许输出负值。

Table 26 数字增益控制寄存器

Addr	Bit	Register	Default	Type	Description
0x3700	[7:3]	RFU	0x00	RW	全局增益：4 位整数位，7 位小数位
	[2:0]	DGAIN_GLOBAL[10:8]		RW	
0x3701	[7:0]	DGAIN_GLOBAL[7:0]	0x80	RW	
0x3702	[7:0]	DGAIN_GR[7:0]	0x20	RW	GR 通道增益：3 位整数位，5 位小数位
0x3703	[7:0]	DGAIN_R[7:0]	0x20	RW	R 通道增益：3 位整数位，5 位小数位
0x3704	[7:0]	DGAIN_B[7:0]	0x20	RW	B 通道增益：3 位整数位，5 位小数位
0x3705	[7:0]	DGAIN_GB[7:0]	0x20	RW	GB 通道增益：3 位整数位，5 位小数位
0x3706	[7:1]	RFU	0x00	RW	数据溢出操作： 0：不允许负值； 1：允许负值。
	[0]	DOVF_EN		RW	
0x3707	[7:5]	RFU	0x00	RW	GR 通道偏移
	[4:0]	DOFFSET_GR[12:8]		RW	
0x3708	[7:0]	DOFFSET_GR[7:0]		RW	
0x3709	[7:5]	RFU	0x00	RW	R 通道偏移
	[4:0]	DOFFSET_R[12:8]		RW	
0x370A	[7:0]	DOFFSET_R[7:0]		RW	

Addr	Bit	Register	Default	Type	Description
0x370B	[7:5]	RFU	0x00	RW	B 通道偏移
	[4:0]	DOFFSET_B[12:8]		RW	
0x370C	[7:0]	DOFFSET_B[7:0]		RW	
0x370D	[7:5]	RFU	0x00	RW	GB 通道偏移
	[4:0]	DOFFSET_GB[12:8]		RW	
	[7:0]	DOFFSET_GB[7:0]		RW	

6.4 镜像说明

MIS2008 芯片提供水平和垂直两种镜像模式。通过修改配置寄存器（地址：0x3007[1:0]），可以进行水平翻转，垂直翻转，和对角线翻转。

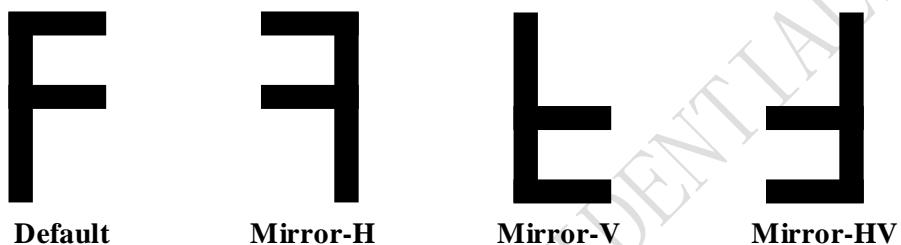


Figure 24 镜像说明图

Table 27 镜像调整配置寄存器

Addr	Bit	Register	Default	Type	Description
0x3007	[7:2]	RFU	0x00	RW	Reserved
	[1]	MIRROR_V		RW	垂直镜像 0: 从下到上, 1: 从上到下
	[0]	MIRROR_H		RW	水平镜像 0: 从左到右, 1: 从右到左

6.5 帧长度设置

每帧图像数据输出格式如下图示：

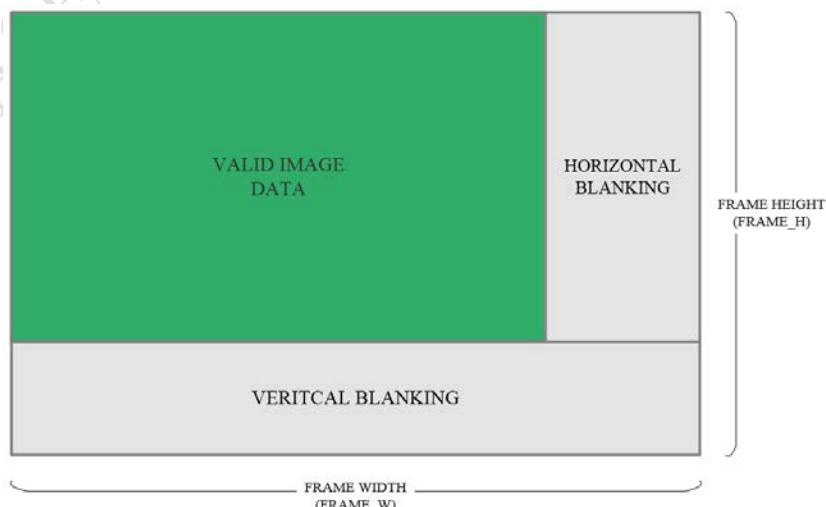


Figure 25 帧格式说明图

帧长度由配置寄存器 FRAME_H 和 FRAME_W 决定，输出帧包括有效像素数据部分和 BLANKING 数据部分，有效像素通过寄存器 FRAME_H_ST、FRAME_H_END、FRAME_W_ST 以及 FRAME_W_END 设置，BLANKING 数据可通过 FRAME_H 和 FRAME_W 寄存器设置的帧大小减去有效数据间接得到。

另外，关于帧的两个计算公式，如下：

每帧的时间为： $\text{FRAME_H} * \text{FRAME_W} / \text{PCLK}$

帧率计算： $\text{frame rate} = 1 / (\text{FRAME_H} * \text{FRAME_W} / \text{PCLK})$

Table 28 帧长度配置寄存器

Addr	Bit	Register	Default	Type	Description
0x3200	[7:0]	FRAME_H[15:8]	0x04	RW	图像数据纵向宽度（包含消隐区），默认 1125
0x3201	[7:0]	FRAME_H[7:0]	0x65	RW	
0x3202	[7:0]	FRAME_W[15:8]	0x08	RW	图像数据横向宽度（包含消隐区），默认 2200
0x3203	[7:0]	FRAME_W[7:0]	0x98	RW	

6.6 画幅设置

输出画幅有效图像数据可以通过列起始地址 FRAME_W_ST（寄存器地址：{0x3208[2:0], 0x3209[7:0]}）、列结束地址 FRAME_W_END（寄存器地址：{0x320A[2:0], 0x320B[7:0]}）、行起始地址 FRAME_H_ST（寄存器地址：0x3204[2:0], 0x3205[7:0]）、行结束地址 FRAME_H_END（寄存器地址：0x3206[2:0], 0x3207[7:0]）设置，通过修改上述寄存器定义：输出画幅大小，起止像素单元，可以输出任意画幅图像。地址范围参考 Figure 26。

其中配置有效图像数据的高度时的计算公式如下：

$$\text{RealHeight} = \text{FRAME_H_END} - \text{FRAME_H_ST} + 1 - \text{ACT_CUT_CNT};$$

其中 ACT_CUT_CNT 表示有效区域截取的行数（寄存器地址：0x2107[7:0]）。假设需要输出有效图像高度是 1080，当 FRAME_H_ST 配置为 0 时，FRAME_H_END 需要配置为 1083，且 ACT_CUT_CNT 配置为 4；或者当 FRAME_H_ST 配置为 6 时，FRAME_H_END 需要配置为 1093，且 ACT_CUT_CNT 配置为 8。其他情况下图像高度配置均按此进行。

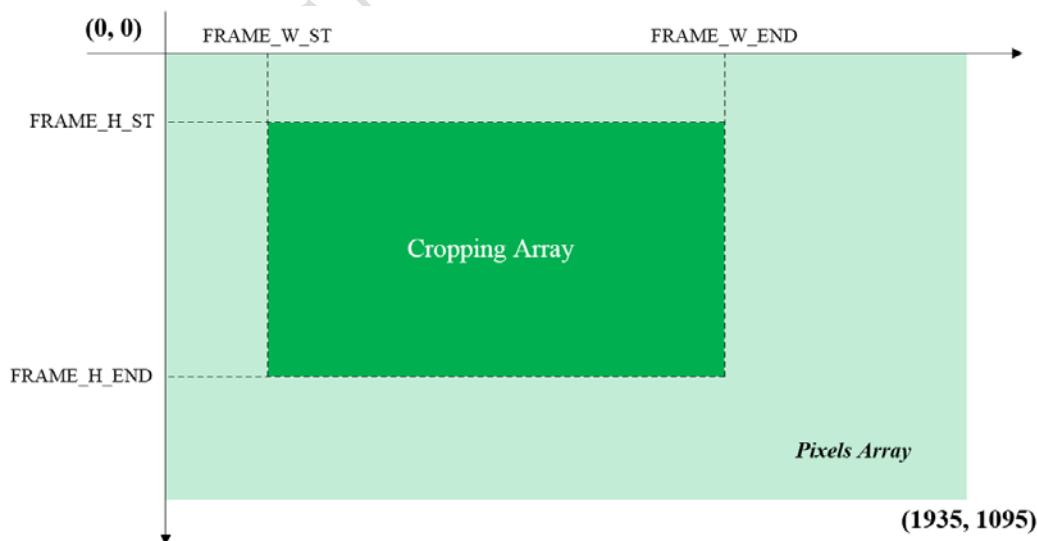


Figure 26 画幅设置说明图

Table 29 画幅设置寄存器

Addr	Bit	Register	Default	Type	Description
0x3204	[7:3]	RFU	0x00	RW	Reserved

Addr	Bit	Register	Default	Type	Description
	[2:0]	FRAME_H_ST[10:8]		RW	
0x3205	[7:0]	FRAME_H_ST[7:0]	0x08	RW	图像有效数据行起始地址
0x3206	[7:3]	RFU	0x04	RW	Reserved
	[2:0]	FRAME_H_END[10:8]		RW	
0x3207	[7:0]	FRAME_H_END[7:0]	0x3F	RW	图像有效数据行结束地址
0x3208	[7:3]	RFU	0x00	RW	Reserved
	[2:0]	FRAME_W_ST[10:8]		RW	
0x3209	[7:0]	FRAME_W_ST[7:0]	0x08	RW	图像有效数据列起始地址
0x320A	[7:3]	RFU	0x07	RW	Reserved
	[2:0]	FRAME_W_END[10:8]		RW	
0x320B	[7:0]	FRAME_W_END[7:0]	0x87	RW	图像有效数据列结束地址

6.7 ADC 采样精度

MIS2008 芯片支持 12bit ADC 采样格式，最高支持 60fps，最小行周期 $T_line_{min} = 14.5\mu s$ ，注意 MIS2008 芯片的 PLL 及 FRAME_W 配置，不能小于对应 ADC 采样精度下的最小行周期要求，否则芯片无法正常工作。根据最小行周期可以得到在 12bit ADC 采样下的最大帧率 fps_{max} 为：

$$fps_{max} = \frac{1}{Frame_H \cdot T_line_{min}}$$

其中，FRAME_H 为帧长设置。

6.8 典型画幅

Table 30 是 MIS2008 芯片典型画幅配置。默认配置为 1080p@30fps，(下表**粗体**)参数。FRAME_W 和 FRAME_H 根据 6.5 节说明进行配置，Acitve W 和 Active H 根据 6.6 节说明配置。PCLK、PLL_BIT_MODE、PLL_EN_BINNING、PLL_CH_SEL、PLL_FBDIV、PLL_REFDIV、PLL_FRANGE1、PLL_FRANGE2 等相关寄存器的配置根据相应章节说明进行详细配置。

Table 30 输出格式说明

	fps	Active W	Active H	Frame_W	Frame_H	PCLK (MHz)	PLL_BIT_MODE	PLL_EN_BINNING	BITCLK (MHz)	PLL_CH_SEL	PLL_FBDIV	PLL_REFDIV	PLL_FRANGE1	PLL_FRANGE2	VCO	ACLK	TSDIV	VCLK	CPDIV	CLK_Cp
1080p@60fps (全画幅)	60	1936	1096	2154	1149	148.50	0	0	891	1	33	0	1	3	891	297	18	16.5	6	49.5
1080p@60fps	60	1936	1096	2154	1149	148.50	1	0	742.5	1	55	0	2	5	1485	297	18	16.5	6	49.5
1080p@60fps_raw10_llane彬	60	1936	1096	2154	1149	148.50	1	1	742.5	0	55	0	1	5	1485	297	18	16.5	6	49.5
1080p@30fps_raw10_llane	30	1936	1096	2154	1149	74.25	1	0	742.5	0	55	0	2	6	1485	247.5	15	16.5	5	49.5
1080p@30fps@1lane	30	1936	1096	2200	1125	74.25	0	0	891	0	33	0	1	8	891	111.38	7	15.911	2	55.6875
1080p@30fps (全画幅)	30	1936	1096	2200	1125	74.25	0	0	445.5	1	33	0	2	4	891	222.75	14	15.911	4	55.6875
1080p@30fps (默认)	30	1920	1080	2200	1125	74.25	0	0	445.5	1	33	0	2	8	891	111.4	7	15.91	2	55.688
1080p@25fps	25	1936	1096	2200	1350	74.25	0	0	445.5	1	33	0	2	8	891	111.38	7	15.911	2	55.6875
720p@30fps	30	1280	720	2200	1125	74.25	0	0	445.5	1	33	0	2	4	891	222.75	14	15.911	4	55.6875
720p@60fps	60	1280	720	1500	896	72.00	0	0	432	1	32	0	2	4	864	216	14	15.429	4	54
720p@NTSC	60	1280	720	1540	780	72.00	0	0	432	1	32	0	2	4	864	216	14	15.429	4	54
720p@NTSC	60	1936	500	2200	546	72.00	0	0	432	1	32	0	2	8	864	108	7	15.429	2	54
720p@PAL	50	1280	720	2000	780	72.00	0	0	468	1	52	1	2	4	936	234	14	16.714	4	58.5
720p@PAL	50	1936	530	2500	576	72.00	0	0	432	1	32	0	2	8	864	108	7	15.429	2	54
1920NTSC	60	1928	960	2288	525	72.00	0	1	216	1	32	0	2	8	864	108	7	15.429	2	54
1920PAL	80	1928	1096	2304	626	72.00	0	1	216	1	32	0	2	8	864	108	7	15.429	2	54

6.9 暗电平校正

MIS2008 像素阵列设计有暗像素，为暗校正提供数据。暗校正模块通过统计暗像素估算暗电平大小，并对有效像素进行暗电平校正。

在统计暗像素之前，需要对暗像素进行分通道的增益补偿，保证在任意增益下，Pixel 输出零点位置不漂移，寄存器 BLC_COFF_EN(地址: 0x3601[0])控制是否进行增益补偿，地址{0x3614~0x3623}为增益补偿参数的配置寄存器地址。

在做完增益补偿之后，配置滤波寄存器 BLC_FILTER (地址: 0x3600[1]) 选择是否对暗像素进行滤波处理。

在做完滤波处理之后，开始对暗像素进行统计，暗像素统计开关为寄存器 BLC_STAT_EN(地址：0x3600[4]) 控制。统计的行数由寄存器 BLC_DARK_SEL(地址：0x363D[0]) 控制，当 BLC_DARK_SEL=0 时，统计行数为 8 行，当 BLC_DARK_SEL=1 时，统计行数为 16 行。统计的列数可以通过列起始控制寄存器 BLC_AVE_CLMN_STA(地址：{0x3639[2:0], 0x363A[7:0]}) 和列结束控制寄存器 BLC_AVE_CLMN_END(地址：{0x363B[2:0], 0x363C[7:0]}) 进行选择。选择计入统计的列数后，需要对选择出列数进行扩展，将列数扩展为 2^n ，n 由寄存器 BLC_AVE_NUM (地址：0x3636[3:0]) 控制。当统计扩展寄存器 BLC_EXPAND_EN(地址：0x3636[4]) 为 0 时，BLC_AVE_NUM 应该配置为 $\lfloor \log_2^{WIDTH} \rfloor$ (其中“ $\lfloor \cdot \rfloor$ ”表示向下取整，WIDTH 为当前有效数据画幅宽度，参见 6.6 的画幅配置)；当统计扩展寄存器 BLC_EXPAND_EN (地址：0x3636[4]) 为 1 时，BLC_AVE_NUM 应该配置为 $\lceil \log_2^{WIDTH} \rceil$ (其中“ $\lceil \cdot \rceil$ ”表示向上取整，WIDTH 为当前有效数据画幅宽度，参见 6.6 的画幅配置)，扩展窗口由寄存器 BLC_EXPAND_WEIGHT (地址：0x3637[7:0]) 控制。

当寄存器 BLC_EN (地址：0x3600[0]) 等于 0 时不进行暗电平校正；当寄存器 BLC_EN (地址：0x3600[0]) 等于 1 时进行暗电平校正。

暗电平校正有两种操作模式：手动 BLC 校正和自动 BLC 校正两种操作模式，可以通过配置寄存器 BLC_ADJ_MOD (地址：0x3600[2]) 切换操作模式。在手动 BLC 模式下，当为模拟手动校正时，校正值为 BLC_MAN_R (地址：{0x362E[4:0], 0x362F[7:0]})，进行模拟手动校正；当为数字手动校正时，各个通道校正值为 BLC_MAN_R (地址：{0x362E[4:0], 0x362F[7:0]})、BLC_MAN_GR (地址：{0x3630[4:0], 0x3631[7:0]})、BLC_MAN_GB (地址：{0x3632[4:0], 0x3633[7:0]})、BLC_MAN_B (地址：{0x3634[4:0], 0x3635[7:0]})，进行数字手动校正。

在自动 BLC 校正模式下，分为暗电平校正模式一和暗电平校正模式二，可以通过配置寄存器 DARK_GAIN_SEL (地址：0x3012[0]) 切换校正模式。当 DARK_GAIN_SEL=0 时为暗电平校正模式一，当寄存器 BLC_ANA1_MOD (地址：0x3601[4:3]) 为 0 时，校正值为当前帧计算出的平均值，以此进行暗电平校正。当 BLC_ANA1_MOD (地址：0x3601[4:3]) 为 1 时，校正值为 IIR 滤波处理后的值，以此进行暗电平校正。当 BLC_ANA1_MOD (地址：0x3601[4:3]) 为 2 时，暗电平校正模式由寄存器 BLC_TRI_SEL (地址：0x3601[6:5]) 控制，当 BLC_TRI_SEL=0 时，校正模式为曝光触发校正，校正值由芯片内部计算得出，且跟随芯片曝光的变化而变化，以此进行暗电平校正；当 BLC_TRI_SEL=1 时，校正模式为温度触发校正，校正值由芯片内部计算得出，且跟随环境温度变化而变化，以此进行暗电平校正；当 BLC_TRI_SEL=2 or 3 时，校正模式为温度或曝光校正，校正值由芯片内部计算得出，且跟随芯片曝光或者环境温度变化而变化，以此进行暗电平校正。当寄存器 BLC_ANA1_MOD (地址：0x3601[4:3]) 为 3 时，当前帧的校正值为上一帧统计（此时暗像素不带增益）计算出的校正值，以此进行暗电平校正。

当 DARK_GAIN_SEL=1 时为暗电平校正模式二，暗电平校正模式由寄存器 BLC_ANA2_MOD (地址：0x3601[2:1]) 控制。当 BLC_ANA2_MOD (地址：0x3601[2:1]) 为 0 时，当前帧的校正值为上一帧统计（此时暗像素带增益）计算出的校正值，以此进行暗电平校正。当 BLC_ANA2_MOD (地址：0x3601[2:1]) 为 1 时，校正值为滤波处理后的值，以此进行暗电平校正，是否分通道进行校正由寄存器 BLC_DIG_CHAN (地址：0x3600[4]) 控制。当 BLC_ANA2_MOD (地址：0x3601[2:1]) 为 2 or 3 时，当前帧校正值先经过上一帧统计（此时暗像素带增益）计算出的校正值调整后，再通过滤波处理调整，通过两种调整方式的结合，进行暗电平校正。

Table 31 暗校正模式控制寄存器配置

Addr	Bit	Register	Default	Type	Description
0x3600	[7:5]	RFU	0x13	RW	Reserved
	[4]	BLC_STAT_EN		RW	暗电平统计使能： 1：开启统计 0：关闭统计

Addr	Bit	Register	Default	Type	Description
0x3601	[3]	BLC_DIG_CHAN	0x01	RW	数字 IIR 校正: 0:全局 1:分颜色通道
	[2]	BLC_ADJ_MOD		RW	0:自动校正 1:手动校正
	[1]	BLC_FILTER		RW	DARK 区域滤波校正使能: 0: 关闭滤波校正 1: 开启滤波校正
	[0]	BLC_EN		RW	BLC 使能: 0: Disable 1: Enable
0x3601	[7]	RFU	0x01	RW	Reserved
	[6:5]	BLC_TRI_SEL		RW	2'b00:曝光触发 2'b01:温度触发 2'b10:曝光或温度触发 2'b11:曝光或温度触发
	[4:3]	BLC_ANA1_MOD		RW	2'b00:直接校正 2'b01:IIR 校正 2'b10:触发校正 2'b11:负反馈算法一校正
	[2:1]	BLC_ANA2_MOD		RW	2'b00:负反馈算法二校正 2'b01:数字 IIR 校正 2'b10 2'b11:负反馈算法二+数字 IIR
	[0]	BLC_COFF_EN		RW	增益补偿使能。 1: 开启增益补偿 0: 关闭增益补偿
0x3602	[7:1]	RFU	0x01	RW	模拟校正最大值
	[0]	BLC_AFB_MAX [8]		RW	
0x3603	[7:0]	BLC_AFB_MAX[7:0]	0xFF	RW	
0x3604	[7:4]	RFU	0x08	RW	DARK 区域与 ACTIVE 区域 差异校正系数
	[3:0]	BLC_K1[11:8]		RW	
0x3605	[7:0]	BLC_K1[7:0]	0x00	RW	
0x3606	[7:0]	BLC_DELTA_EXP [7:0]	0x00	RW	温度触发校正阈值
0x3607	[7:0]	BLC_DELTA_TEMP [7:0]	0x00	RW	曝光触发校正阈值
0x3608	[7:0]	BLC_TGT_TH[7:0]	0x02	RW	重新校正检测阈值
0x3609	[7:0]	BLC_POR_LEN[7:0]	0x02	RW	上电等待帧数
0x360A	[7:0]	BLC_TGT_LEN[7:0]	0x01	RW	校正检测帧数
0x360B	[7:0]	BLC_STEP_LEN[7:0]	0x01	RW	校正值变化间隔帧数
0x360C	[7:0]	BLC_STEP[7:0]	0x01	RW	校正值变化步距

Addr	Bit	Register	Default	Type	Description
0x360D	[7:0]	BLC_K2[7:0]	0x60	RW	DARK 带增益校正算法中的负反馈算法二中的负反馈系数
0x360E	[7:6]	BLC_STATE_SWITCH[1:0]	0x00	RW	数字 IIR 校正: 2'b00:固定回到 0 状态; 2'b01:向前回 1 个状态; 2'b10:向前回 2 个状态; 2'b11:向前回 3 个状态;
	[5:3]	BLC_STATE_A0[2:0]			STATE0 下的 IIR 系数
	[2:0]	BLC_STATE_A1[2:0]			STATE1 下的 IIR 系数
0x360F	[7:6]	RFU	0x00	RW	Reserved
	[5:3]	BLC_STATE_A2[2:0]	0x03	RW	STATE2 下的 IIR 系数
	[2:0]	BLC_STATE_A3[2:0]	0x04	RW	STATE3 下的 IIR 系数
0x3610	[7:3]	RFU	0x00	RW	Reserved
	[2:0]	BLC_STATE_A4[2:0]	0x05	RW	STATE4 下的 IIR 系数
0x3611	[7:5]	RFU	0x1F	RW	Reserved
	[4]	BLC_MODE_CHG_EN		RW	校正模式变化要因使能, 0: 不作为 RESET 要因; 1: 作为 RESET 要因
	[3]	BLC_AFB_CHG_EN		RW	模拟校正值变化要因使能, 0: 不作为 RESET 要因; 1: 作为 RESET 要因
	[2]	BLC_ADC_CHG_EN		RW	模拟增益值变化要因使能, 0: 不作为 RESET 要因; 1: 作为 RESET 要因
	[1]	BLC_EXP_CHG_EN		RW	曝光值变化要因使能, 0: 不作为 RESET 要因; 1: 作为 RESET 要因
	[0]	BLC_TEMP_CHG_EN		RW	温度值变化要因使能, 0: 不作为 RESET 要因; 1: 作为 RESET 要因
0x3612	[7:4]	BLC_STATE_NUM0[3:0]	0x03	RW	STATE0 下的运行帧数
	[3:0]	BLC_STATE_NUM1[3:0]	0x02	RW	STATE1 下的运行帧数
0x3613	[7:4]	BLC_STATE_NUM2[3:0]	0x04	RW	STATE2 下的运行帧数
	[3:0]	BLC_STATE_NUM3[3:0]	0x08	RW	STATE3 下的运行帧数
0x3614	[7:5]	RFU	0x00	RW	增益补偿 GR 通道截距
	[4:0]	BLC_OFFSET_GR[12:8]	0x00	RW	

Addr	Bit	Register	Default	Type	Description
0x3615	[7:0]	BLC_OFFSET_GR[7:0]	0x00	RW	
0x3616	[7:5]	RFU	0x00	RW	增益补偿 R 通道截距
	[4:0]	BLC_OFFSET_R[12:8]	0x00	RW	
0x3617	[7:0]	BLC_OFFSET_R[7:0]	0x00	RW	
0x3618	[7:5]	RFU	0x00	RW	增益补偿 GB 通道截距
	[4:0]	BLC_OFFSET_GB[12:8]	0x00	RW	
0x3619	[7:0]	BLC_OFFSET_GB[7:0]	0x00	RW	
0x361A	[7:5]	RFU	0x00	RW	增益补偿 B 通道截距
	[4:0]	BLC_OFFSET_B[12:8]	0x00	RW	
0x361B	[7:0]	BLC_OFFSET_B[7:0]	0x00	RW	
0x361C	[7:4]	RFU	0x00	RW	增益补偿 GR 通道系数
	[3:0]	BLC_COEF_GR[12:8]	0x00	RW	
0x361D	[7:0]	BLC_COEF_GR[7:0]	0x00	RW	
0x361E	[7:4]	RFU	0x00	RW	增益补偿 R 通道系数
	[3:0]	BLC_COEF_R[12:8]	0x00	RW	
0x361F	[7:0]	BLC_COEF_R[7:0]	0x00	RW	
0x3620	[7:4]	RFU	0x00	RW	增益补偿 GB 通道系数
	[3:0]	BLC_COEF_GB[12:8]	0x00	RW	
0x3621	[7:0]	BLC_COEF_GB[7:0]	0x00	RW	
0x3622	[7:4]	RFU	0x00	RW	增益补偿 GB 通道系数
	[3:0]	BLC_COEF_B[12:8]	0x00	RW	
0x3623	[7:0]	BLC_COEF_B[7:0]	0x00	RW	
0x3624	[7:0]	BLC_DIR_A1[15:8]	0x56	RW	DARK 不带增益 IIR 校正滤波系数
0x3625	[7:0]	BLC_DIR_A1[7:0]	0x55	RW	
0x3626	[7:0]	BLC_DIR_A2[15:8]	0xDF	RW	
0x3627	[7:0]	BLC_DIR_A2[7:0]	0x1B	RW	
0x3628	[7:0]	BLC_DIR_B0[15:8]	0x02	RW	
0x3629	[7:0]	BLC_DIR_B0[7:0]	0xA4	RW	
0x362A	[7:0]	BLC_DIR_B1[15:8]	0x05	RW	
0x362B	[7:0]	BLC_DIR_B1[7:0]	0x48	RW	
0x362C	[7:0]	BLC_DIR_B2[15:8]	0x02	RW	
0x362D	[7:0]	BLC_DIR_B2[7:0]	0xA5	RW	
0x362E	[7:5]	RFU	0x00	RW	R 通道对应手动校正值
	[4:0]	BLC_MAN_R[12:8]	0x00	RW	
0x362F	[7:0]	BLC_MAN_R[7:0]	0x00	RW	
0x3630	[7:5]	RFU	0x00	RW	GR 通道对应手动校正值
	[4:0]	BLC_MAN_GR[12:8]	0x00	RW	
0x3631	[7:0]	BLC_MAN_GR[7:0]	0x00	RW	
0x3632	[7:5]	RFU	0x00	RW	GB 通道对应手动校正值
	[4:0]	BLC_MAN_GB[12:8]	0x00	RW	
0x3633	[7:0]	BLC_MAN_GB[7:0]	0x00	RW	

Addr	Bit	Register	Default	Type	Description
0x3634	[7:5]	RFU	0x00	RW	B 通道对应手动校正值
	[4:0]	BLC_MAN_B[12:8]	0x00	RW	
0x3635	[7:0]	BLC_MAN_B[7:0]	0x00	RW	
0x3636	[7:5]	RFU	0x00	RW	Reserved
	[4]	BLC_EXPAND_EN	0x00	RW	1'b0:统计扩张关闭; 1'b1:统计扩张打开
	[3:0]	BLC_AVE_NUM[3:0]	0x0A	RW	水平统计像素数 4'h0:不统计 (2^0) 4'h1:每行统计 2(2^1)像素 4'h2:每行统计 4(2^2)像素 4'h3:每行统计 8(2^3)像素 4'h4:每行统计 16(2^4)像素 4'hB:每行统计 2048(2^11)像素 其他:不支持
0x3637	[7:0]	BLC_EXPAND_WEIGHT[7:0]	0x20	RW	统计扩张的扩展像素间隔
0x3638	[7:0]	BLC AGAIN TH[7:0]	0x00	RW	CLAMP 复位 GAIN 触发阈值
0x3639	[7:3]	RFU	0x00	RW	DARK 区域平均值统计开始列
	[2:0]	BLC_AVE_CLMN_STA[10:8]		RW	
0x363A	[7:0]	BLC_AVE_CLMN_STA[7:0]	0x00	RW	
0x363B	[7:3]	RFU	0x07	RW	DARK 区域平均值统计结束列
	[2:0]	BLC_AVE_CLMN_END[10:8]		RW	
0x363C	[7:0]	BLC_AVE_CLMN_END[7:0]	0x7F	RW	
0x363D	[7:1]	RFU	0x01	RW	DARK 区域平均值统计行， 1:16 行； 0:8 行
	[0]	BLC_DARK_SEL		RW	
0x363E	[7:4]	RFU	0x0F	RW	DARK 区域平均值统计行选寄存器，20 比特对应 DARK 区域的 20 行，当某一个比特为 1，表示对应的 DARK 行参与平均值统计，否则不参与平均值统计。
	[3:0]	BLC_DARK_ROW_SEL[19:16]		RW	
0x363F	[7:0]	BLC_DARK_ROW_SEL[15:8]	0xFF	RW	
0x3640	[7:0]	BLC_DARK_ROW_SEL[7:0]	0xF0	RW	
0x3641	[7:1]	RFU	0x00	RO	DARK 区域模拟校正值
	[0]	BLC_DARK_ANA_AFB[8]	0x00	RO	
0x3642	[7:0]	BLC_DARK_ANA_AFB	0x00	RO	

Addr	Bit	Register	Default	Type	Description
	[7:0]				
0x3643	[7:1]	RFU	0x00	RO	ACTIVE 区域模拟校正值
	[0]	BLC_ACT_ANA_AFB[8]	0x00	RO	
0x3644	[7:0]	BLC_ACT_ANA_AFB [7:0]	0x00	RO	
0x3645	[7:5]	RFU	0x00	RO	DARK 区域 R 通道平均值
	[4:0]	BLC_DARK_AVG_R [12:8]	0x00	RO	
0x3646	[7:0]	BLC_DARK_AVG_R[7:0]	0x00	RO	
0x3647	[7:5]	RFU	0x00	RO	DARK 区域 GR 通道平均值
	[4:0]	BLC_DARK_AVG_GR [12:8]	0x00	RO	
0x3648	[7:0]	BLC_DARK_AVG_GR [7:0]	0x00	RO	
0x3649	[7:5]	RFU	0x00	RO	DARK 区域 GB 通道平均值
	[4:0]	BLC_DARK_AVG_GB [12:8]	0x00	RO	
0x364A	[7:0]	BLC_DARK_AVG_GB [7:0]	0x00	RO	
0x364B	[7:5]	RFU	0x00	RO	DARK 区域 B 通道平均值
	[4:0]	BLC_DARK_AVG_B [12:8]	0x00	RO	
0x364C	[7:0]	BLC_DARK_AVG_B[7:0]	0x00	RO	
0x364D	[7:5]	RFU	0x00	RO	DARK 区域 全局平均值
	[4:0]	BLC_DARK_AVG_GLB [12:8]	0x00	RO	
0x364E	[7:0]	BLC_DARK_AVG_GLB [7:0]	0x00	RO	
0x364F	[7:5]	RFU	0x00	RO	R 通道数字校正值
	[4:0]	BLC_ACT_DIG_R_AFB [12:8]	0x00	RO	
0x3650	[7:0]	BLC_ACT_DIG_R_AFB [7:0]	0x00	RO	
0x3651	[7:5]	RFU	0x00	RO	GR 通道数字校正值
	[4:0]	BLC_ACT_DIG_GR_AFB [12:8]	0x00	RO	
0x3652	[7:0]	BLC_ACT_DIG_GR_AFB [7:0]	0x00	RO	
0x3653	[7:5]	RFU	0x00	RO	GB 通道数字校正值
	[4:0]	BLC_ACT_DIG_GB_AFB [12:8]	0x00	RO	
0x3654	[7:0]	BLC_ACT_DIG_GB_AFB	0x00	RO	

Addr	Bit	Register	Default	Type	Description
	[7:0]				
0x3655	[7:5]	RFU	0x00	RO	B 通道数字校正值
	[4:0]	BLC_ACT_DIG_B_AFB[12:8]	0x00	RO	
0x3656	[7:0]	BLC_ACT_DIG_B_AFB[7:0]	0x00	RO	
0x3657	[7:5]	RFU	0x00	RO	全局数字校正值
	[4:0]	BLC_ACT_DIG_GLOBA_L_AFB[12:8]		RO	
0x3658	[7:0]	BLC_ACT_DIG_GLOBA_L_AFB[7:0]		RO	

7. 寄存器列表

7.1 SC 寄存器

Addr	Bit	Register	Default	Type	Description
0x3000	[7:0]	DEVICE_ID[15:8]	0x20	RO	芯片器件型号
0x3001	[7:0]	DEVICE_ID[7:0]	0x09	RO	芯片器件型号
0x3002	[7:0]	REV_NUM	0x01	RO	芯片版本号
0x3003	[7:1]	RFU	0x00	RW	Reserved
	[0]	BROADCAST_EN		RW	广播模式使能能信号
0x3004	[7:0]	BROADCAST_ID1[7:0]	0x00	RW	广播模式的第一个字节
0x3005	[7:0]	BROADCAST_ID2[7:0]	0x04	RW	广播模式的第二个字节
0x3006	[7:2]	RFU	0x00	RW	Reserved
	[1]	PWDN_SOFT		RW	系统休眠: 0: 正常工作模式; 1: 系统休眠;
	[0]	RESET_SOFT		RW	系统复位: 0: 正常工作模式; 1: 系统复位;
0x3007	[7:2]	RFU	0x00	RW	Reserved
	[1]	MIRROR_V		RW	垂直镜像: 0: 从下到上; 1: 从上到下
	[0]	MIRROR_H		RW	水平镜像: 0: 从左到右; 1: 从右到左;
	[5]	OE_DS		RW	DS 输出使能: 1: 输出; 0: 高阻;

Addr	Bit	Register	Default	Type	Description
0x300A	[4]	OE_DATA4		RW	D11~D10 输出使能: 1: 输出; 0: 高阻
	[3]	OE_DATA3		RW	D9~D5、PCLK 输出使能: 1: 输出; 0: 高阻;
	[2]	OE_DATA2		RW	D4, 输出使能: 1: 输出; 0: 高阻;
	[1]	OE_DATA1		RW	D3~D2 输出使能: 1: 输出; 0: 高阻;
	[0]	OE_DATA0		RW	D1~D0 输出使能: 1: 输出; 0: 高阻;
0x300A	[7:1]	RFU	0x00	RW	Reserved
	[0]	DOUT_MOD[1:0]		RW	输出模式: 1: MIPI;
0x300B	[7:1]	RFU	0x01	RW	Reserved
	[0]	DS_SEL		RW	1'b1: 动态同步: 各模块在每一个帧同步信号的上升沿处对需要的配置寄存器进行帧同步; 1'b0: 静态保持: 静态保持: 在帧同步信号的上升沿处不进行同步, 保持原有状态。
0x300C	[7:1]	RFU	0x00	RO	Reserved
	[0]	DS_STATUS		RO	配置状态: 0: 配置完成; 1: 正在配置
0x300D	[7:1]	RFU	0x00	RW	Reserved
	[0]	MIPI_ESCAPE_REQ		RW	1'b0: 退出 ESCAPE 模式; 1'b1: ESCAPE 模式;
0x300E	[7:1]	RFU	0x00	RO	Reserved
	[0]	MIPI_STOP_STATUS		RO	该只读寄存器值为 1 时, 标识此时可释放 PWDN
0x300F	[7:1]	RFU	0x00	RO	Reserved
	[0]	MIPI_ESCAPE_STATUS		RO	该只读寄存器值为 1 时, 标识此时 MIPI 处于 ESCAPE 状态
0x3010	[7:3]	RFU	0x04	RW	Reserved

Addr	Bit	Register	Default	Type	Description
0x3010	[2]	MIPI_CLK_EN		RW	0: BITCLK/BYTECLK 输出; 1: SHUTDOWN 决定 BITCLK/BYTECLK 是否输出
	[1]	MIPI_FUNCRST_SOFT		RW	MIPI 功能复位（除了寄存器以外的复位）控制信号，连接 RST_MIPI
	[0]	MIPI_PWRRST_SOFT		RW	MIPI 软复位控制信号，连接 RST_MIPI
0x3011	[7:0]	CH0_DT[7:0]	0x2C	RW	MIPI 虚拟通道 0 的数据类型： 12BIT: 0x2C; 10BIT: 0x2B
0x3012	[7:1]	RFU	0x00	RW	Reserved
	[0]	DARK_GAIN_SEL		RW	1'b0: 不带 ADC gain; 1'b1: 带 ADC gain
0x3013	[7:2]	RFU	0x00	RW	Reserved
	[1]	SUBSAMPLING_V		RW	0: 关闭行方向 SUBSAMPLING 模式; 1: 打开行方向 SUBSAMPLING 模式;
	[0]	SUBSAMPLING_H		RW	0: 关闭列方向 SUBSAMPLING 模式; 1: 打开列方向 SUBSAMPLING 模式;
0x3014	[7:3]	RFU	0x00	RO	Reserved
	[2:0]	CHIP_STATUS		RO	0: reset; 1: initial; 2: capture; 3: keep; 4: pwn
0x3015	[7:2]	RFU	0x02	RO	Reserved
	[1:0]	MIPI_DL_STATUS[1:0]		RO	MIPI data lane FSM: 0: requlps; 1: ulps; 2: normal; 3: exit
0x3016	[7:2]	RFU	0x02	RO	Reserved
	[1:0]	MIPI_CL_STATUS[1:0]		RO	MIPI clk lane FSM: 0: requlps; 1: ulps;

Addr	Bit	Register	Default	Type	Description
					2: normal; 3: exit
0x3017	[7:0]	FRAME_CNT[31:24]	0x00	RO	帧计数器
0x3018	[7:0]	FRAME_CNT[23:16]	0x00	RO	
0x3019	[7:0]	FRAME_CNT[15:8]	0x00	RO	
0x301A	[7:0]	FRAME_CNT[7:0]	0x00	RO	
0x301B	[7:3]	RFU	0x00	RW	Reserved
	[2:1]	EXTSYNC_DELAY[1:0]		RW	外同步帧延时： 00: no delay; 01: 1 PCLK delay; 10: 2 PCLK delay; 11: 3 PCLK delay
	[0]	EXP_MOD		RW	曝光模式控制： 1: slave 曝光; 0: master 曝光
0x301C	[7:1]	RFU	0x00	RO	Reserved
	[0]	FSYNC_SOFT		RO	FSYNC 触发配置, SLAVE 曝光模式下图像采集触发信号
0x301D	[7:1]	RFU	0x01	RW	COL_DATA_HANDLE 模块 对列数据进行截取使能： 0: 对列数据不进行截取； 1: 对列数据进行截取；
	[0]	COL_DATA_HANDLE_EN			
	[0]	DOUT_SWITCH_MOD			
0x301F	[7:1]	RFU	0x00	RW	1 : 不考虑 SCG 的 FRAME_END_REQ 和 MIPI 的 ULPS, 直接进入 PWDN; 0: 在 FRAME_END_REQ 为 高电平时进入 PWDN, MIPI 输出时还要等待 ULPS 响应
	[0]	PWDN_BYPASS			

7.2 曝光和增益寄存器

Addr	Bit	Register	Default	Type	Description
0x3100	[7:0]	EXP[15:8]	0x00	RW	曝光控制寄存器
0x3101	[7:0]	EXP[7:0]	0x80	RW	
0x3102	[7]	RFU	0x00	RW	Reserved
	[6:0]	GAIN_ADC[6:0]		RW	ADC 增益 [6:5]=00: 1X, 01: 2X, 10: 4X, 11: 8X [4:0]= (32+GAIN_ADC[4:0])/32

7.3 画幅寄存器

Addr	Bit	Register	Default	Type	Description
0x3200	[7:0]	FRAME_H[15:8]	0x04	RW	
0x3201	[7:0]	FRAME_H[7:0]	0x65	RW	
0x3202	[7:0]	FRAME_W[15:8]	0x08	RW	
0x3203	[7:0]	FRAME_W[7:0]	0x98	RW	图像数据横向宽度（包含消隐区），默认 2200，Binnning 模式下 FRAME_W 要求配置成偶数
0x3204	[7:3]	RFU			Reserved
	[2:0]	FRAME_H_ST[10:8]			
0x3205	[7:0]	FRAME_H_ST[7:0]	0x08	RW	图像有效数据行起始地址
0x3206	[7:4]	RFU	0x04	RW	Reserved
	[3:0]	FRAME_H_END[10:8]			图像有效数据行结束地址
0x3207	[7:0]	FRAME_H_END[7:0]	0x3F	RW	
0x3208	[7:3]	RFU	0x00	RW	Reserved
	[2:0]	FRAME_W_ST[10:8]			图像有效数据列起始地址
0x3209	[7:0]	FRAME_W_ST[7:0]	0x08	RW	
0x320A	[7:3]	RFU	0x07	RW	Reserved
	[2:0]	FRAME_W_END[10:8]			图像有效数据列结束地址
0x320B	[7:0]	FRAME_W_END[7:0]	0x87	RW	

7.4 PLL 寄存器

Addr	Bit	Register	Default	Type	Description
0x3300	[7:0]	PLL_FBDIV[7:0]	0x21	RW	倍频器级数控制端
0x3301	[7:3]	RFU	0x000	RW	Reserved
	[2:0]	PLL_REFDIV[2:0]			预分频器级数控制
0x3302	[7:5]	RFU	0x02	RW	Reserved
	[4:0]	PLL_FRANGE1[4:0]			PCLK 输出时钟分频控制
0x3303	[7:4]	RFU	0x04	RW	Reserved
	[3:0]	PLL_FRANGE2[3:0]			ACLK 输出时钟分频控制
0x3304	[7:2]	RFU	0x00	RW	VCO 负载电容 trim 端口：3'b00 时 VCO 中心频率最低，3'b11 时 VCO 中心频率最高。
	[1:0]	PLL_CTUNE[1:0]			
0x3305	[7:1]	RFU	0x01	RW	VCO 电源管理模块控制端：H 时模块工作；L 时模块不工作
	[0]	PLL_LPEN_V2			
0x3306	[7:2]	RFU	0x01	RW	Bandgap 输出 1.0V 电压 trim 端口，最终影响 VDDVCO 电压大小：“11”时 VDDVCO 最高
	[1:0]	PLL_VDDM[1:0]			
0x3307	[7:2]	RFU	0x01	RW	Bandgap 输出 1.2V 电压 trim 端口，最终影响分频器等数字电路电源电压：“11”时 VDD2P4 最高
	[1:0]	PLL_VREG_IVREF[1:0]			
0x3308	[7:3]	RFU	0x00	RW	

Addr	Bit	Register	Default	Type	Description
	[2:0]	PLL_KVCO[2:0]		RW	VCO 振荡范围 trim 端口: 3' b000 时振荡频率范围最小, 3' b111 时振荡频率范围最大
0x3309	[7:3]	RFU	0x00	RW	VCO 电源管理模块电流驱动能力 trim 端口: 3' b000 时对应最小驱动; 3' b111 时对应最大驱动
	[2:0]	PLL_VRNG[2:0]		RW	
0x330A	[7:3]	RFU	0x00	RW	CP 电流控制
	[2:0]	PLL_TRIM_CP[2:0]		RW	
0x330B	[7:1]	RFU	0x01	RW	Reserved
	[0]	MIPI_CH_SEL		RW	MIPI_CH_SEL 通道数配置位: L 时代表 1 通道; H 时代表 2 通道
0x330C	[7:1]	RFU	0x00	RW	Test 模式 power down 信号, 高电平有效, 对应的 test pin 无输出; 为 H 时, FBDIV_MON/FREF_MON 有效输出
	[0]	PLL_TE		RW	
0x330D	[7:1]	RFU	0x00	RW	Reserved
	[0]	MIPI_BIT_MODE		RW	比特模式配置位: H 时代表 10bits; L 时代表 12bits
0x330E	[7:1]	RFU	0x00	RW	PCLK 选择信号: "H" 时选择 XIN_REF 输出; "L" 时选择 PLL 输出的 PCLK
	[0]	PLL_PCLK_SEL		RW	
0x330F	[7:0]	TSDIV	0x07	RW	控制从 ACLK 到温度传感器时钟的分频系数 <=1:1 >1:TSDIV
0x3310	[7:0]	CPDIV	0x02	RW	控制从 ACLK 到 Charg pump 时钟的分频系数 <=1:1 >1:CPDIV
0x3311	[7:2]	RFU	0x00	RW	Reserved
	[1]	I2CLK_MODE		RW	0: 片内自动切换; 1: 固定为外部时钟, 此时 I2CLK_SEL 无效, 且会增加动态功耗
	[0]	I2CLK_SEL		RW	0: PCLK/8; 1: PCLK/4

7.5 TPG 寄存器

Addr	Bit	Register	Default	Type	Description
0x3500	[7:5]	RFU	0x00	RW	Reserved
	[4]	GRADIENT_DIRECT		RW	Gradient Gray Mode: 0: 从左到右 1: 从上到下
	[3]	SATURATION		RW	Color Bar Saturation: 0: 100%; 1: 75%
	[2:1]	TPG_MODE		RW	TPG Mode: 0: Color Bar 1: Gradient Gray
	[0]	TPG_EN		RW	TPG enable: 0: Disable; 1: Enable
0x3501	[7:4]	RFU	0x00	RW	Reserved
	[3:0]	GRADIENT_INIT[11:8]		RW	GRADIENT_INIT: Initial Value of Gradient
0x3502	[7:0]	GRADIENT_INIT[7:0]	0x00	RW	Value of Gradient
0x3503	[7:4]	RFU	0x00	RW	Reserved
	[4:0]	GRADIENT_STEP[12:8]		RW	GRADIENT_STEP: Step of Gradient
0x3504	[7:0]	GRADIENT_STEP[7:0]	0x00	RW	

7.6 BLC 寄存器

Addr	Bit	Register	Default	Type	Description
0x3600	[7:5]	RFU	0x13	RW	Reserved
	[4]	BLC_STAT_EN		RW	暗电平统计使能: 1: 开启统计 0: 关闭统计
	[3]	BLC_DIG_CHAN		RW	数字 IIR 校正: 0: 全局 1: 分颜色通道
	[2]	BLC_ADJ_MOD		RW	0: 自动校正 1: 手动校正
	[1]	BLC_FILTER		RW	DARK 区域滤波校正使能: 0: 关闭滤波校正 1: 开启滤波校正
	[0]	BLC_EN		RW	BLC 使能: 0: Disable 1: Enable
0x3601	[7]	RFU	0x01	RW	Reserved
	[6:5]	BLC_TRI_SEL		RW	2'b00: 曝光触发 2'b01: 温度触发 2'b10: 曝光或温度触发 2'b11: 曝光或温度触发

Addr	Bit	Register	Default	Type	Description
0x3601	[4:3]	BLC_ANA1_MOD		RW	2'b00:直接校正 2'b01:IIR 校正 2'b10:触发校正 2'b11:负反馈算法一校正
	[2:1]	BLC_ANA2_MOD		RW	2'b00:负反馈算法二校正 2'b01:数字 IIR 校正 2'b10 2'b11:负反馈算法二+数字 IIR
	[0]	BLC_COFF_EN		RW	增益补偿使能。 1: 开启增益补偿 0: 关闭增益补偿
0x3602	[7:1]	RFU	0x01	RW	模拟校正最大值
	[0]	BLC_AFB_MAX [8]		RW	
0x3603	[7:0]	BLC_AFB_MAX[7:0]	0xFF	RW	
0x3604	[7:4]	RFU	0x08	RW	DARK 区域与 ACTIVE 区域 差异校正系数
	[3:0]	BLC_K1[11:8]		RW	
0x3605	[7:0]	BLC_K1[7:0]	0x00	RW	
0x3606	[7:0]	BLC_DELTA_EXP [7:0]	0x00	RW	温度触发校正阈值
0x3607	[7:0]	BLC_DELTA_TEMP [7:0]	0x00	RW	曝光触发校正阈值
0x3608	[7:0]	BLC_TGT_TH[7:0]	0x02	RW	重新校正检测阈值
0x3609	[7:0]	BLC_POR_LEN[7:0]	0x02	RW	上电等待帧数
0x360A	[7:0]	BLC_TGT_LEN[7:0]	0x01	RW	校正检测帧数
0x360B	[7:0]	BLC_STEP_LEN[7:0]	0x01	RW	校正值变化间隔帧数
0x360C	[7:0]	BLC_STEP[7:0]	0x01	RW	校正值变化步距
0x360D	[7:0]	BLC_K2[7:0]	0x60	RW	DARK 带增益校正算法中的 负反馈算法二中的负反馈系数
0x360E	[7:6]	BLC_STATE_SWITCH [1:0]	0x00	RW	数字 IIR 校正: 2'b00:固定回到 0 状态; 2'b01:向前回 1 个状态; 2'b10:向前回 2 个状态; 2'b11:向前回 3 个状态;
	[5:3]	BLC_STATE_A0[2:0]	0x00	RW	STATE0 下的 IIR 系数
	[2:0]	BLC_STATE_A1[2:0]	0x02	RW	STATE1 下的 IIR 系数
0x360F	[7:6]	RFU	0x00	RW	Reserved
	[5:3]	BLC_STATE_A2[2:0]	0x03	RW	STATE2 下的 IIR 系数
	[2:0]	BLC_STATE_A3[2:0]	0x04	RW	STATE3 下的 IIR 系数
0x3610	[7:3]	RFU	0x00	RW	Reserved
	[2:0]	BLC_STATE_A4[2:0]	0x05	RW	STATE4 下的 IIR 系数
0x3611	[7:5]	RFU	0x1F	RW	Reserved

Addr	Bit	Register	Default	Type	Description
0x3612	[4]	BLC_MODE_CHG_EN		RW	校正模式变化要因使能, 0: 不作为 RESET 要因; 1: 作为 RESET 要因
	[3]	BLC_AFB_CHG_EN		RW	模拟校正值变化要因使能, 0: 不作为 RESET 要因; 1: 作为 RESET 要因
	[2]	BLC_ADC_CHG_EN		RW	模拟增益值变化要因使能, 0: 不作为 RESET 要因; 1: 作为 RESET 要因
	[1]	BLC_EXP_CHG_EN		RW	曝光值变化要因使能, 0: 不作为 RESET 要因; 1: 作为 RESET 要因
	[0]	BLC_TEMP_CHG_EN		RW	温度值变化要因使能, 0: 不作为 RESET 要因; 1: 作为 RESET 要因
0x3612	[7:4]	BLC_STATE_NUM0 [3:0]	0x03	RW	STATE0 下的运行帧数
	[3:0]	BLC_STATE_NUM1 [3:0]	0x02	RW	STATE1 下的运行帧数
0x3613	[7:4]	BLC_STATE_NUM2 [3:0]	0x04	RW	STATE2 下的运行帧数
	[3:0]	BLC_STATE_NUM3 [3:0]	0x08	RW	STATE3 下的运行帧数
0x3614	[7:5]	RFU	0x00	RW	增益补偿 GR 通道截距
	[4:0]	BLC_OFFSET_GR [12:8]	0x00	RW	
0x3615	[7:0]	BLC_OFFSET_GR[7:0]	0x00	RW	
0x3616	[7:5]	RFU	0x00	RW	增益补偿 R 通道截距
	[4:0]	BLC_OFFSET_R[12:8]	0x00	RW	
0x3617	[7:0]	BLC_OFFSET_R[7:0]	0x00	RW	
0x3618	[7:5]	RFU	0x00	RW	增益补偿 GB 通道截距
	[4:0]	BLC_OFFSET_GB [12:8]	0x00	RW	
0x3619	[7:0]	BLC_OFFSET_GB[7:0]	0x00	RW	
0x361A	[7:5]	RFU	0x00	RW	增益补偿 B 通道截距
	[4:0]	BLC_OFFSET_B[12:8]	0x00	RW	
0x361B	[7:0]	BLC_OFFSET_B[7:0]	0x00	RW	
0x361C	[7:4]	RFU	0x00	RW	增益补偿 GR 通道系数
	[3:0]	BLC_COEF_GR[12:8]	0x00	RW	
0x361D	[7:0]	BLC_COEF_GR[7:0]	0x00	RW	
0x361E	[7:4]	RFU	0x00	RW	增益补偿 R 通道系数
	[3:0]	BLC_COEF_R[12:8]	0x00	RW	

Addr	Bit	Register	Default	Type	Description
0x361F	[7:0]	BLC_COEF_R[7:0]	0x00	RW	
0x3620	[7:4]	RFU	0x00	RW	增益补偿 GB 通道系数
	[3:0]	BLC_COEF_GB[12:8]	0x00	RW	
0x3621	[7:0]	BLC_COEF_GB[7:0]	0x00	RW	
0x3622	[7:4]	RFU	0x00	RW	增益补偿 GB 通道系数
	[3:0]	BLC_COEF_B[12:8]	0x00	RW	
0x3623	[7:0]	BLC_COEF_B[7:0]	0x00	RW	
0x3624	[7:0]	BLC_DIR_A1[15:8]	0x56	RW	
0x3625	[7:0]	BLC_DIR_A1[7:0]	0x55	RW	
0x3626	[7:0]	BLC_DIR_A2[15:8]	0xDF	RW	
0x3627	[7:0]	BLC_DIR_A2[7:0]	0x1B	RW	
0x3628	[7:0]	BLC_DIR_B0[15:8]	0x02	RW	
0x3629	[7:0]	BLC_DIR_B0[7:0]	0xA4	RW	
0x362A	[7:0]	BLC_DIR_B1[15:8]	0x05	RW	
0x362B	[7:0]	BLC_DIR_B1[7:0]	0x48	RW	
0x362C	[7:0]	BLC_DIR_B2[15:8]	0x02	RW	
0x362D	[7:0]	BLC_DIR_B2[7:0]	0xA5	RW	
0x362E	[7:5]	RFU	0x00	RW	R 通道对应手动校正值
	[4:0]	BLC_MAN_R[12:8]	0x00	RW	
0x362F	[7:0]	BLC_MAN_R[7:0]	0x00	RW	
0x3630	[7:5]	RFU	0x00	RW	GR 通道对应手动校正值
	[4:0]	BLC_MAN_GR[12:8]	0x00	RW	
0x3631	[7:0]	BLC_MAN_GR[7:0]	0x00	RW	
0x3632	[7:5]	RFU	0x00	RW	GB 通道对应手动校正值
	[4:0]	BLC_MAN_GB[12:8]	0x00	RW	
0x3633	[7:0]	BLC_MAN_GB[7:0]	0x00	RW	
0x3634	[7:5]	RFU	0x00	RW	B 通道对应手动校正值
	[4:0]	BLC_MAN_B[12:8]	0x00	RW	
0x3635	[7:0]	BLC_MAN_B[7:0]	0x00	RW	
0x3636	[7:5]	RFU	0x00	RW	Reserved
	[4]	BLC_EXPAND_EN	0x00	RW	1'b0:统计扩张关闭; 1'b1:统计扩张打开
	[3:0]	BLC_AVE_NUM[3:0]	0x0A	RW	水平统计像素数 4'h0:不统计 (2^0) 4'h1:每行统计 2(2^1)像素 4'h2:每行统计 4(2^2)像素 4'h3:每行统计 8(2^3)像素 4'h4:每行统计 16(2^4)像素 4'hB:每行统计 2048(2^11)像素 其他:不支持

Addr	Bit	Register	Default	Type	Description
0x3637	[7:0]	BLC_EXPAND_WEIGHT[7:0]	0x20	RW	统计扩张的扩展像素间隔
0x3638	[7:0]	BLC AGAIN TH[7:0]	0x00	RW	CLAMP 复位 GAIN 触发阈值
0x3639	[7:3]	RFU	0x00	RW	DARK 区域平均值统计开始列
	[2:0]	BLC_AVE_CLMN_STA[10:8]		RW	
0x363A	[7:0]	BLC_AVE_CLMN_STA[7:0]	0x00	RW	
0x363B	[7:3]	RFU	0x07	RW	DARK 区域平均值统计结束列
	[2:0]	BLC_AVE_CLMN_END[10:8]		RW	
0x363C	[7:0]	BLC_AVE_CLMN_END[7:0]	0x7F	RW	
0x363D	[7:1]	RFU	0x01	RW	DARK 区域平均值统计行，1:16 行；0:8 行
	[0]	BLC_DARK_SEL		RW	
0x363E	[7:4]	RFU	0x0F	RW	DARK 区域平均值统计行选寄存器，20 比特对应 DARK 区域的 20 行，当某一个比特为 1，表示对应的 DARK 行参与平均值统计，否则不参与平均值统计。
	[3:0]	BLC_DARK_ROW_SEL[19:16]		RW	
0x363F	[7:0]	BLC_DARK_ROW_SEL[15:8]	0xFF	RW	
0x3640	[7:0]	BLC_DARK_ROW_SEL[7:0]	0xF0	RW	
0x3641	[7:1]	RFU	0x00	RO	DARK 区域模拟校正值
	[0]	BLC_DARK_ANA_AFB[8]	0x00	RO	
0x3642	[7:0]	BLC_DARK_ANA_AFB[7:0]	0x00	RO	
0x3643	[7:1]	RFU	0x00	RO	ACTIVE 区域模拟校正值
	[0]	BLC_ACT_ANA_AFB[8]	0x00	RO	
0x3644	[7:0]	BLC_ACT_ANA_AFB[7:0]	0x00	RO	
0x3645	[7:5]	RFU	0x00	RO	DARK 区域 R 通道平均值
	[4:0]	BLC_DARK_AVG_R[12:8]	0x00	RO	
0x3646	[7:0]	BLC_DARK_AVG_R[7:0]	0x00	RO	
0x3647	[7:5]	RFU	0x00	RO	DARK 区域 GR 通道平均值
	[4:0]	BLC_DARK_AVG_GR[12:8]	0x00	RO	
0x3648	[7:0]	BLC_DARK_AVG_GR[7:0]	0x00	RO	
0x3649	[7:5]	RFU	0x00	RO	DARK 区域 GB 通道平均值
	[4:0]	BLC_DARK_AVG_GB	0x00	RO	

Addr	Bit	Register	Default	Type	Description
		[12:8]			
0x364A	[7:0]	BLC_DARK_AVG_GB[7:0]	0x00	RO	
0x364B	[7:5]	RFU	0x00	RO	DARK 区域 B 通道平均值
	[4:0]	BLC_DARK_AVG_B[12:8]	0x00	RO	
0x364C	[7:0]	BLC_DARK_AVG_B[7:0]	0x00	RO	
0x364D	[7:5]	RFU	0x00	RO	DARK 区域 全局平均值
	[4:0]	BLC_DARK_AVG_GLB[12:8]	0x00	RO	
0x364E	[7:0]	BLC_DARK_AVG_GLB[7:0]	0x00	RO	
0x364F	[7:5]	RFU	0x00	RO	R 通道数字校正值
	[4:0]	BLC_ACT_DIG_R_AFB[12:8]	0x00	RO	
0x3650	[7:0]	BLC_ACT_DIG_R_AFB[7:0]	0x00	RO	
0x3651	[7:5]	RFU	0x00	RO	GR 通道数字校正值
	[4:0]	BLC_ACT_DIG_GR_AFB[12:8]	0x00	RO	
0x3652	[7:0]	BLC_ACT_DIG_GR_AFB[7:0]	0x00	RO	
0x3653	[7:5]	RFU	0x00	RO	GB 通道数字校正值
	[4:0]	BLC_ACT_DIG_GB_AFB[12:8]	0x00	RO	
0x3654	[7:0]	BLC_ACT_DIG_GB_AFB[7:0]	0x00	RO	
0x3655	[7:5]	RFU	0x00	RO	B 通道数字校正值
	[4:0]	BLC_ACT_DIG_B_AFB[12:8]	0x00	RO	
0x3656	[7:0]	BLC_ACT_DIG_B_AFB[7:0]	0x00	RO	
0x3657	[7:5]	RFU	0x00	RO	全局数字校正值
	[4:0]	BLC_ACT_DIG_GLOBA_L_AFB[12:8]		RO	
0x3658	[7:0]	BLC_ACT_DIG_GLOBA_L_AFB[7:0]		RO	

7.7 DGAIN 寄存器

Addr	Bit	Register	Default	Type	Description
0x3700	[7:3]	RFU	0x00	RW	全局增益：4 位整数位，7 位小数位
	[2:0]	DGAIN_GLOBAL[10:8]		RW	

Addr	Bit	Register	Default	Type	Description
0x3701	[7:0]	DGAIN_GLOBAL[7:0]	0x80	RW	
0x3702	[7:0]	DGAIN_GR[7:0]	0x20	RW	GR 通道增益：3 位整数位，5 位小数位
0x3703	[7:0]	DGAIN_R[7:0]	0x20	RW	R 通道增益：3 位整数位，5 位小数位
0x3704	[7:0]	DGAIN_B[7:0]	0x20	RW	B 通道增益：3 位整数位，5 位小数位
0x3705	[7:0]	DGAIN_GB[7:0]	0x20	RW	GB 通道增益：3 位整数位，5 位小数位
0x3706	[7:1]	RFU	0x00	RW	数据溢出操作： 0: 不允许负值； 1: 允许负值。
	[0]	DOVF_EN		RW	
0x3707	[7:5]	RFU	0x00	RW	GR 通道偏移
	[4:0]	DOFFSET_GR[12:8]		RW	
0x3708	[7:0]	DOFFSET_GR[7:0]		RW	
0x3709	[7:5]	RFU	0x00	RW	R 通道偏移
	[4:0]	DOFFSET_R[12:8]		RW	
0x370A	[7:0]	DOFFSET_R[7:0]		RW	
0x370B	[7:5]	RFU	0x00	RW	B 通道偏移
	[4:0]	DOFFSET_B[12:8]		RW	
0x370C	[7:0]	DOFFSET_B[7:0]		RW	
0x370D	[7:5]	RFU	0x00	RW	GB 通道偏移
	[4:0]	DOFFSET_GB[12:8]		RW	
0x370E	[7:0]	DOFFSET_GB[7:0]		RW	

7.8 温度传感器寄存器

Addr	Bit	Register	Default	Type	Description
0x3800	[7:1]	RFU	0x00	RW	Reserved
	[0]	EN_TEMP		RW	温度传感器开关： 0: Disable 1: Enable
0x3801	[7:0]	FREQ_TEMP[7:0]	0x00	RW	温度传感器的采样频率
0x3802	[7:0]	TEMP_VALUE[7:0]	0x00	RO	温度传感器的读出值

7.9 模拟模块 Power Down 控制寄存器

Addr	Bit	Register	Default	Type	Description
0x3A00	[7]	PD_PLL	0x00	RW	各模拟模块 PWDN 控制，

Addr	Bit	Register	Default	Type	Description
0x3A00	[6]	PD_MIPI	0x00	RW	高电平有效
	[5]	PD_CPP		RW	
	[4]	PD_CPN		RW	
	[3]	PD_TS		RW	
	[2]	PD_REF		RW	
	[1]	PD_SA		RW	
	[0]	PD_ADC		RW	
0x3A01	[7:4]	RFU	0x00	RW	Reserved
	[3]	PD_DC		RW	各模拟模块 PWDN 控制， 高电平有效
	[2]	PD_DAC		RW	
	[1]	PD_ADC_BIAS		RW	ADC_BIAS 使能信号，低有效
	[0]	EN_ATX		RW	模拟检测电路使能信号， 高电平有效

7.10 MIPI 控制寄存器

Addr	Bit	Register	Default	Type	Description
0x3C00	[7:0]	clk_period[7:0]	0x0A	RW	BITCLK 的值乘以 4，向下取整， 单位为 ns
0x3C01	[7:2]	RFU	0x00	RW	
	[1:0]	clk_period[9:8]			
0x3C24	[7:0]	ch0_width[15:8]	0x07	RW	mipi 数据画幅宽高配置； mipi_width=FRAME_W_END- FRAME_W_ST+1； mipi_height=FRAME_H_END- FRAME_H_ST+1；
0x3C25	[7:0]	ch0_width[7:0]	0x80	RW	
0x3C26	[7:0]	ch0_height[15:8]	0x04	RW	
0x3C27	[7:0]	ch0_height[7:0]	0x38	RW	
0x3C28	[7:0]	ch1_width[15:8]	0x07	RW	mipi 数据画幅宽高配置； mipi_width=FRAME_W_END- FRAME_W_ST+1； mipi_height=FRAME_H_END- FRAME_H_ST+1；
0x3C29	[7:0]	ch1_width[7:0]	0x80	RW	
0x3C2A	[7:0]	ch1_height[15:8]	0x04	RW	
0x3C2B	[7:0]	ch1_height[7:0]	0x38	RW	
0x3C40	[7:0]	mipi_lane_ctrl0[7:0]	0x8D	RW	[7]: 计数 DATA_LANE 传输 DATA 个数，以在传输结尾发出 TRAIL_EN [6]: CLOCK LANE DATA BIT SWITCH [5]: CLOCK LANE 使能无效信号， 该 BIT 位有效时，CK LANE 被 DISABLE； [4]: 行同步使能，当该 BIT 位有 效时，将会发送行同步短包；

Addr	Bit	Register	Default	Type	Description
					[3]: 物理通道无效时, DATA LANE/CK LANE LP 状态, 当该 BIT 位为 0 时, DP/DN 均保持低电平, 当该 BIT 为 1 时, DP/DN 均保持高电平; [1]: 帧消隐区 CK LANE 门控时钟使能信号, 高电平有效。当该位有效时, MIPI_CK_DATA 在 VBLANGKING 区域为 0, 在帧有效区域为 1; [0]: 行消隐区 CK LANE 门控时钟使能信号, 高电平有效。当该位有效时, MIPI_CK_DATA 在 HBLANGKING 区域为 0, 在行有效区域为 1;
0x3C41	[7:0]	mipi_lane_ctrl1[7:0]	0x00	RW	[7]: 虚拟通道 3, 帧计数器清零, 此时帧头短包 WC 为 0; [6]: 虚拟通道 2, 帧计数器清零, 此时帧头短包 WC 为 0; [5]: 虚拟通道 1, 帧计数器清零, 此时帧头短包 WC 为 0; [4]: 虚拟通道 0, 帧计数器清零, 此时帧头短包 WC 为 0; [3]: 虚拟通道 3 遇到 ERROR 时强制产生 FRAME END 短包使能信号, 高电平有效; [2]: 虚拟通道 2 遇到 ERROR 时强制产生 FRAME END 短包使能信号, 高电平有效; [1]: 虚拟通道 1 遇到 ERROR 时强制产生 FRAME END 短包使能信号, 高电平有效; [0]: 虚拟通道 0 遇到 ERROR 时强制产生 FRAME END 短包使能信号, 高电平有效;
0x3F00	[7:5]	RFU	0x10	RW	i2c 时钟使能, 高电平有效。
	[4]	r_i2c_slv_clk_en_o		RW	
	[3:1]	RFU		RW	
	[0]	r_i2c_slv_RST_o		RW	i2c 模块复位控制, 高复位。
0x3F01	[7]	r_ch3_clk_en_o	0x0f	RW	虚拟通道 3, 时钟使能控制, 高电平有效;
	[6]	r_ch2_clk_en_o		RW	虚拟通道 2, 时钟使能控制, 高电

Addr	Bit	Register	Default	Type	Description
0x3F02			0x03		平有效;
	[5]	r_ch1_clk_en_o		RW	虚拟通道 1, 时钟使能控制, 高电平有效;
	[4]	r_ch0_clk_en_o		RW	虚拟通道 0, 复位控制, 高复位;
	[3]	r_ch3_rst_o		RW	虚拟通道 3, 复位控制, 高复位;
	[2]	r_ch2_rst_o		RW	虚拟通道 2, 复位控制, 高复位;
	[1]	r_ch1_rst_o		RW	虚拟通道 1, 复位控制, 高复位;
	[0]	r_ch0_rst_o		RW	虚拟通道 0, 复位控制, 高复位;
0x3F02	[7:6]	RFU	0x03	RW	[7:6]: 无连接
	[5]	r_cif_clk_en_o		RW	[5]: CIF 模块 RX 时钟控制, 高电平有效;
	[4]	r_ciftx_clk_en_o		RW	[4]: CIF 模块 TX 时钟控制, 高电平有效;
	[3:2]	RFU		RW	[3:2]: 无连接
	[1]	r_cifrx_rst_o		RW	[1]: CIF 模块 RX 复位控制, 高复位;
	[0]	r_ciftx_rst_o		RW	[0]: CIF 模块 TX 复位控制, 高复位;

8. 封装信息

8.1 CSP-41 封装

8.1.1. CSP-41 封装尺寸

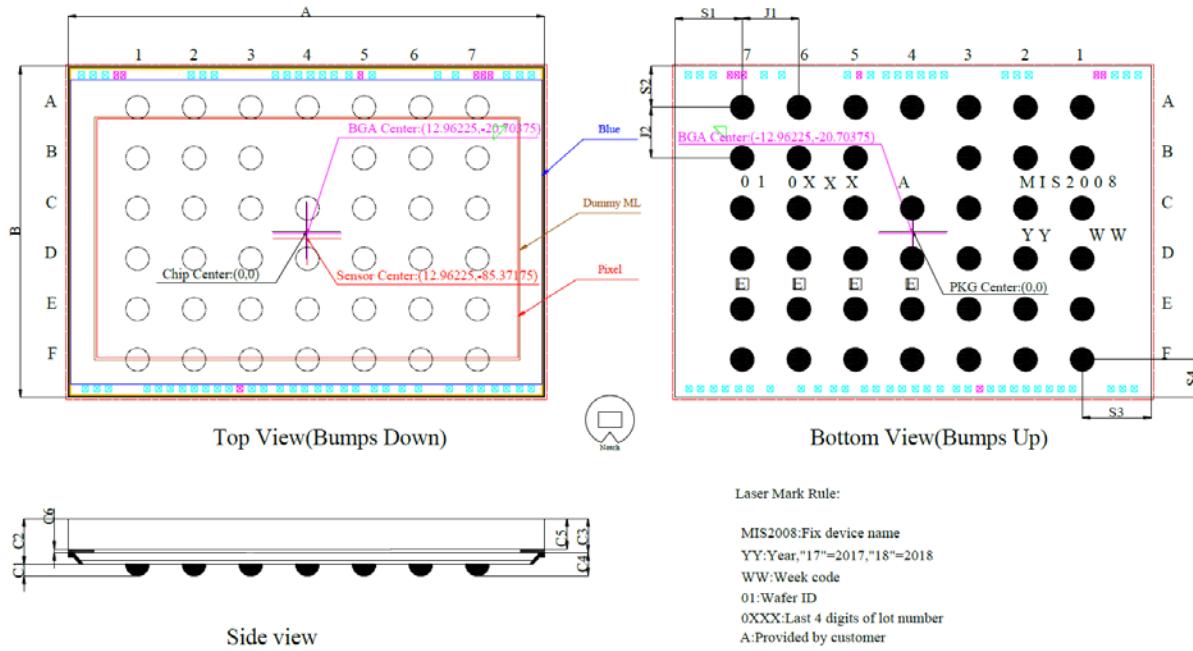


Figure 27 CSP-41 封装图

Table 32 CSP-41 封装尺寸表

	Symbol	Nominal	Min	Max	Nominal	Min	Max
		Millimeters			Inches		
Package Body Dimension X	A	6.1392	6.1142	6.1642	0.24170	0.24072	0.24269
Package Body Dimension Y	B	4.2672	4.2422	4.2922	0.16800	0.16702	0.16898
Package Height	C	0.660	0.600	0.720	0.02598	0.02362	0.02835
Ball Height	C1	0.150	0.120	0.180	0.00591	0.00472	0.00709
Package Body Thickness	C2	0.510	0.475	0.545	0.02008	0.01870	0.02146
Thickness from top glass surface to wafer	C3	0.345	0.325	0.365	0.01358	0.01280	0.01437
Image plane height	C4	0.315	0.270	0.360	0.01240	0.01063	0.01417
Glass thickness	C5	0.300	0.285	0.315	0.01181	0.01122	0.01240
Air gap between sensor and glass	C6	0.045	0.041	0.049	0.00177	0.00161	0.00193
Ball Diameter	D	0.300	0.270	0.330	0.01181	0.01063	0.01299
Total Ball Count	N	41(2NC)					
Pins pitch X axis	J1	0.730					
Pins pitch Y axis	J2	0.650					
Edge to Pin Center Distance along X1	S1	0.86663775	0.83663775	0.89663775	0.03411960	0.03293849	0.03530070
Edge to Pin Center Distance along Y1	S2	0.52930375	0.49930375	0.55930375	0.02083873	0.01965763	0.02201983
Edge to Pin Center Distance along X2	S3	0.89256225	0.86256225	0.92256225	0.03514025	0.03395914	0.03632135
Edge to Pin Center Distance along Y2	S4	0.48789625	0.45789625	0.51789625	0.01920851	0.01802741	0.02038962