

SC2601 低功耗单声道音频编解码器

主要性能

系统

- 高性能低功耗 24 位 delta-sigma 音频 ADC 和 DAC
- I²S/PCM 主串行或从串行数据端口
- 256/384Fs, USB 12/24 MHz 和其他非标准音频系统时钟
- I²C 接口

ADC

- 24 位, 8 至 96kHz 采样频率
- 95dB 信噪比, -93dB THD+N
- 一对差分模拟输入
- 低噪声可编程增益放大器
- 自动电平控制 (ALC) 和噪声门
- 支持模拟和数字麦克风

DAC

- 24 位, 8 至 96kHz 采样频率
- 95dB 信噪比, -85dB THD+N

- 一对差分模拟输出
- 动态范围压缩
- 爆裂和咔嗒噪声抑制

低功耗

- 1.8V 至 3.3V 工作电压
- 低待机电流

应用场合

- 汽车
- 手机
- 玩具
- 双向无线电
- 行车记录仪
- IP 摄像机
- DVR, NVR
- 监控

功能框图

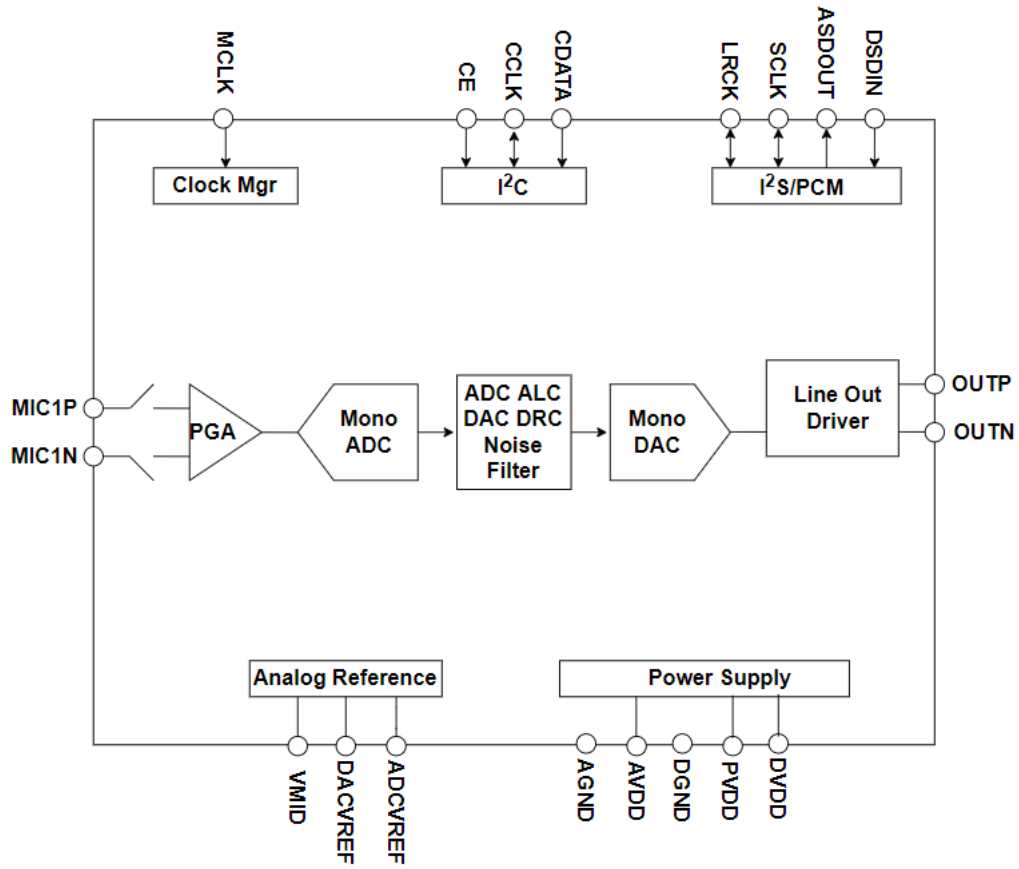


图 1 功能框图

目录

主要性能	1
系统	1
ADC	1
DAC	1
低功耗	1
应用场合	1
功能框图	2
目录	3
产品概况	4
电特性	5
推荐工作条件	5
ADC 模拟及滤波器特性	5
DAC 模拟及滤波器特性	5
DC 特性	6
串行音频端口交换规范	6
I ² C 切换规范（低速/高速模式）	7
极限参数	8
ESD 保护	8
引脚配置及功能说明	9
典型应用电路	10
时钟模式和采样频率	10
微控制器配置接口	11
数字音频接口	13
寄存器配置	14
外形尺寸	30
订购信息	30
声明	30

产品概况

SC2601 是一款低功耗单声道音频编解码器，具有全差分输出，支持在全差分配置下可编程模拟输入。

录音路径包含一个全差分输入，低噪声可编程增益放大器和自动增益控制（ALC）。在录音过程中,通过内置的可编程滤波器来消除噪声。

播放路径包括单声道 DAC，可编程的音量控制及全差分输出。

SC2601 针对语音录音/播放进行了优化，非常适用于监控和语音应用，如车载 DV、IP CAMERNA、DVR、NVR、婴儿监护器、智能玩具、智能机器人等。

电特性

推荐工作条件

表 1

参数	最小值	典型值	最大值	单位
DVDD	1.6	1.8/3.3	3.6	V
PVDD	1.6	1.8/3.3	3.6	V
AVDD	1.7	1.8/3.3	3.6	V

ADC 模拟及滤波器特性

除非另有说明，测试条件如下：AVDD=3.3V，DVDD=3.3V，AGND=0V，DGND=0V， $T_A=25^{\circ}\text{C}$ ， $F_s=48\text{kHz}$ ，MCLK/LRCK=256。

表 2 ADC 模拟及滤波器特性

参数	最小值	典型值	最大值	单位
ADC 性能				
信噪比 (A-weight)		95		dB
THD+N		-93		dB
增益误差			± 5	%
滤波器频率响应-单速				
通频带	0		0.4535	Fs
停止带	0.5465			Fs
通带纹波			± 0.05	dB
阻带衰减	52			dB
模拟输入				
满量程输入电压		$\pm \text{AVDD}/3.3$		V _{rms}
输入阻抗		6.5		K Ω

DAC 模拟及滤波器特性

除非另有说明，测试条件如下：AVDD=3.3V，DVDD=3.3V，AGND=0V，DGND=0V， $T_A=25^{\circ}\text{C}$ ， $F_s=48\text{kHz}$ ，MCLK/LRCK=256。

表 3 DAC 模拟及滤波器特性

参数	最小值	典型值	最大值	单位
DAC 性能				
信噪比 (A-weight)		95		dB
THD+N		-85		dB
增益误差			± 5	%
滤波器频率响应-单速				
通频带	0		0.4535	Fs
停止带	0.5465			Fs
通带纹波			± 0.05	dB
阻带衰减	41			dB
模拟输入				
满量程输入电压		$\pm 0.9 * \text{AVDD}/3.3$		V _{rms}

DC 特性

表 4 DC 特性

参数	最小值	典型值	最大值	单位
正常工作模式				
DVDD=1.8V, PVDD=1.8V, AVDD=3.3V		7		mA
下电模式				
DVDD=1.8V, PVDD=1.8V, AVDD=3.3V		0		uA
数字电平电压				
输入高电平	0.7*PVDD			V
输入低电平			0.5	V
输出高电平		PVDD		V
输出低电平		0		V

串行音频端口交换规范

表 5 串行音频端口交换规范

参数	最小值	最大值	单位
MCLK 频率		49.2	MHz
MCLK 占空比	40	60	%
LRCK 频率		200	KHz
LRCK 占空比 (注 1)	40	60	%
SCLK 频率		26	MHz
SCLK 脉冲低电平时间 T_{SLKL}	16		ns
SCLK 脉冲高电平时间 T_{SCLKH}	16		ns
SCLK 下降沿到 LRCK 边沿时间 (主机模式) T_{SLR}		10	ns
LRCK 边沿到 SCLK 上升沿时间 (从机模式) T_{LSR}	10		ns
SCLK 下降沿到 SDOUT 有效时间 T_{SDO}			
VDDD=3.3V		16	ns
VDDD=1.8V		39	
LRCK 边缘到 SDOUT 有效时间 T_{LDO} (注 2)			
VDDD=3.3V		11	ns
VDDD=1.8V		25	
SDIN 对 SCLK 上升建立时间 T_{SDIS}	10		ns
SCLK 上升到 SDIN 保持时间 T_{SDIH}	10	ns	T_{SDIH}

注 1: DSP/PCM 模式下的一个 SCLK 高时间段。

注 2: 仅适用于左对齐或 DSP/PCM 模式 B 的 MSB。

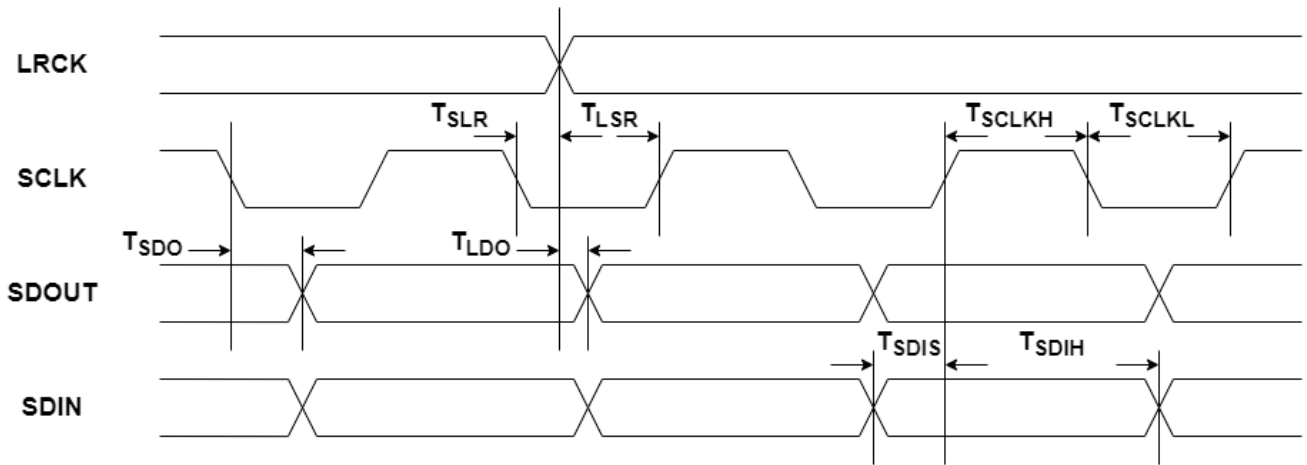


图 2 串行音频端口时序

I²C 切换规范 (低速/高速模式)

表 6 I²C 切换规范

参数	最小值	最大值	单位
CCLK 时钟频率 F_{CCLK}		100/400	KHz
相邻传输间的总线空闲时间 T_{TWID}	4.7/1.3		us
启动条件保持时间 T_{TWSTH}	4.0/0.6		us
时钟低电平时间 T_{TWCL}	4.7/1.3		us
时钟高电平时间 T_{TWCH}	4.0/0.6		us
重复启动条件的设置时间 T_{TWSTS}	4.7/0.6		us
CCLK 下降沿到 CDATA 保持时间 T_{TWDH}		3.45/0.9	us
CCLK 上升沿到 CDATA 设置时间 T_{TWDS}	0.25/0.1		us
CCLK 上升时间 T_{TWR}		1.0/0.3	us
CCLK 下降时间 T_{TWF}		1.0/0.3	us

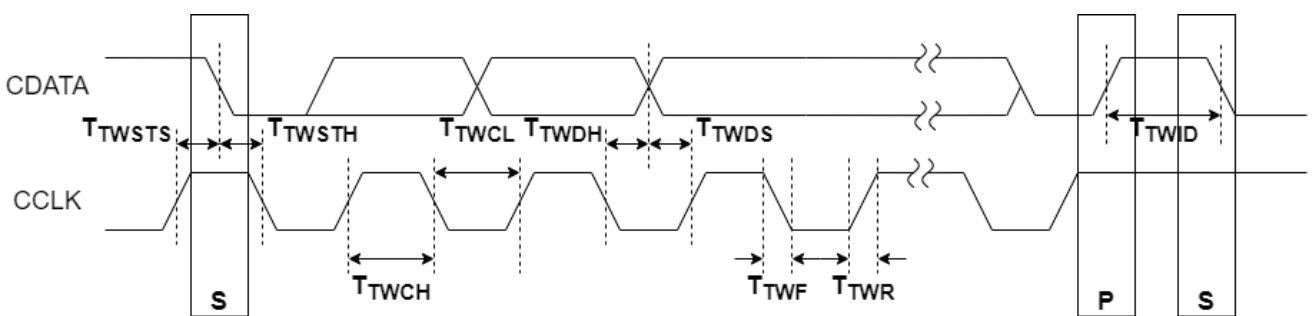


图 3 I²C 时序

极限参数

模拟电源电压.....	-0.3V 至 +3.6V
数字电源电压.....	-0.3V 至 +3.6V
模拟输入电压范围.....	.AGND-0.3V 至 AVDD+0.3V
数字输入电压范围.....	.DGND-0.3V 至 PVDD+0.3V
工作温度范围.....	-40°C 至+105°C
储存温度.....	-65°C 至+150°C

对以上所列的最大极限值，如果器件工作在超过此极限值的环境中，很可能对器件造成永久性破坏。在实际运用中，最好不要使器件工作在此极限值或超过此极限值的环境中。



ESD 保护

本产品属于静电敏感器件。当拿取时，要采取合适的 ESD 保护措施，以免造成性能下降或功能失效。

引脚配置及功能说明

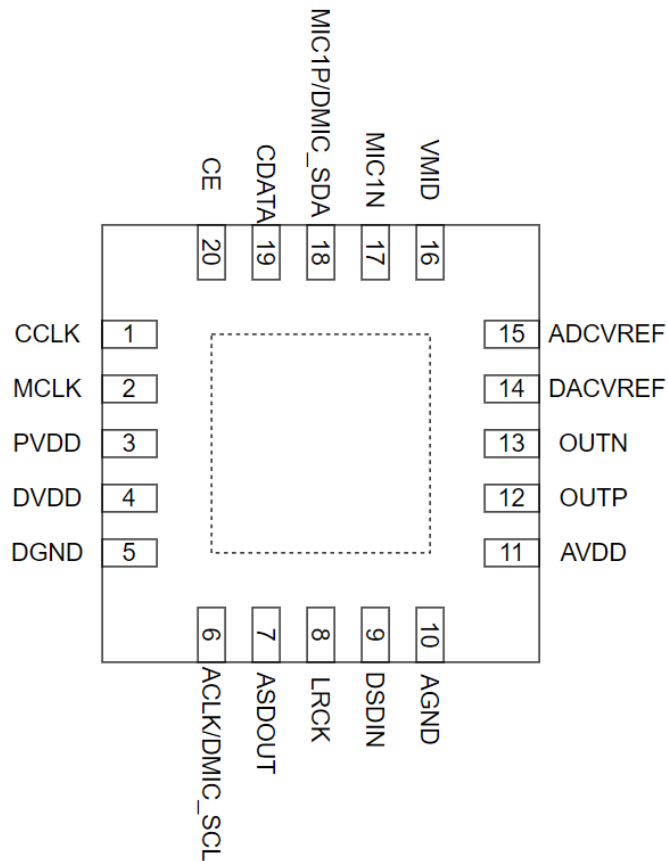
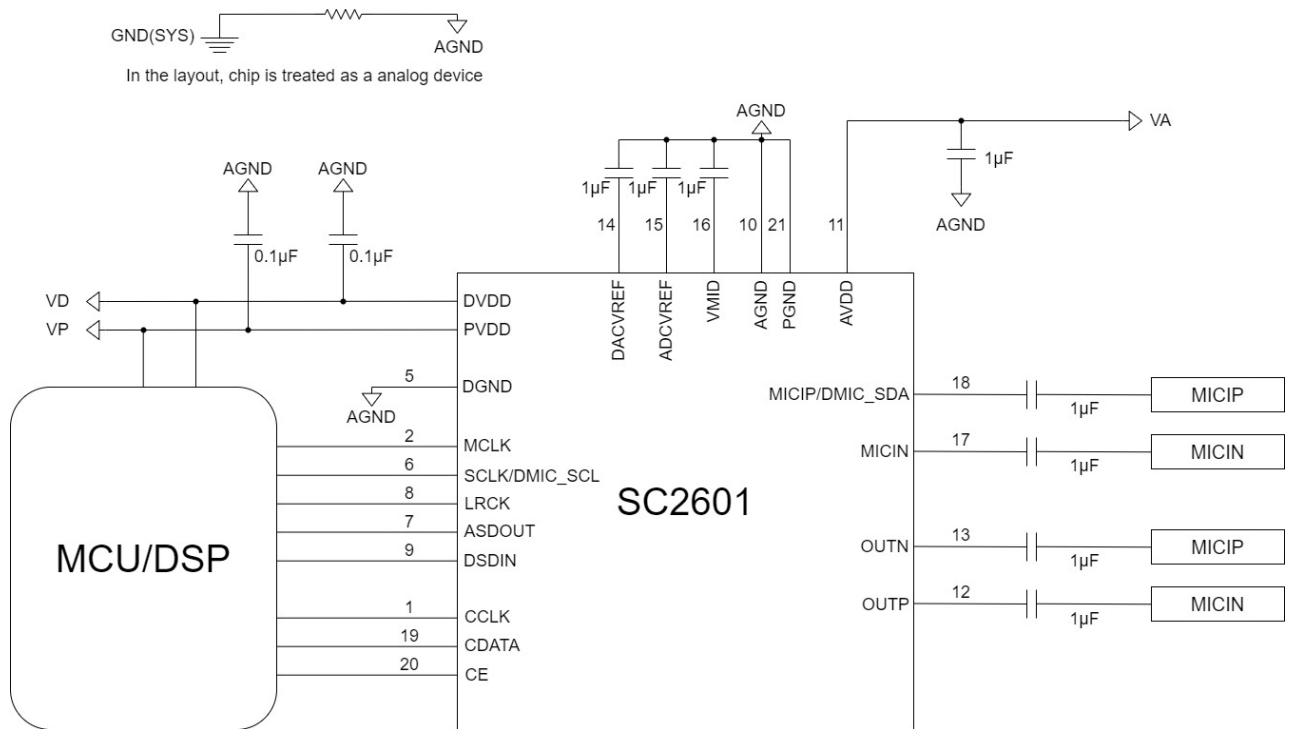


图 4 引脚配置（顶视图）

表 7 引脚定义

引脚序号	引脚名称	类型	功能描述
1	CCLK	I	I ² C 时钟
2	MCLK	I	主时钟
3	PVDD	P	数字输入和输出电源
4	DVDD	P	数字电源
5	DGND	G	数字地
6	SCLK/DMIC_SCL	I/O	串行数据位时钟/DMIC 位时钟
7	ASDOUT	O	ADC 串行数据输出
8	LRCK	I/O	串行数据左右通道帧时钟
9	DSDIN	I	DAC 串行数据输入
10	AGND	G	模拟地
11	AVDD	P	模拟电源
12, 13	OUTP, OUTN	O	差分模拟输出
15, 14	ADCVREF, DACVREF	模拟	连接滤波电容
16	VMID	模拟	连接滤波电容
17, 18	MIC1N , MIC1P/DMIC_SDA	I	Mic 输入
19	CDATA	I/O	I ² C 数据
20	CE	I	I ² C 地址

典型应用电路



注：DVDD 和 PVDD 的去耦和滤波电容必须尽可能的靠近 SC2601,大小为 0.1uF ,使用更大容值效果更好，如 10uF。

图 5 典型应用电路

时钟模式和采样频率

该设备支持标准音频时钟（64Fs、128Fs、256Fs、384Fs、512Fs 等），USB 时钟（12/24 MHz）以及一些常见的非标准音频时钟（16 MHz、25 MHz、26 MHz 等）。

设备可以在主时钟模式或从时钟模式下工作。在从模式下，LRCK 和 SCLK 由外部提供，LRCK 和 SCLK 必须从系统时钟以特定速率同步派生。在主模式下，LRCK 和 SCLK 由设备主时钟内部派生。

微控制器配置接口

该设备支持标准的 I²C 微控制器配置接口。外部微控制器可以通过向内部配置寄存器写入配置设备。

I²C 接口是一种双向串行总线，使用串行数据线（CDATA）和串行时钟线（CCLK）进行数据传输。该接口的数据传输时序图如图 6 和图 7 所示。数据同步到 CCLK 时钟在 CDATA 线上传输字节。每个字节中的每个位在 CCLK 高时被采样。每个传输字节后跟接收器拉低 CDATA 的确认位。该接口的传输速率可以高达 400kbps。

主控制器通过发送“开始”信号来启动传输，该信号在 CCLK 高时由 CDATA 的高到低变化定义。传输的第一个字节是从地址。它是七位芯片地址，后跟一个 RW 位。芯片地址必须为 0011 00x，其中 x 等于 CE。RW 位指示从数据传输方向。一旦收到确认位，数据传输就开始按 RW 位指定的方向以字节为单位进行。主控制器可以通过生成“停止”信号来终止通信，该信号在 CCLK 高时由 CDATA 的低到高变化定义。

在 I²C 接口模式下，可以写入和读取寄存器。写入和读取指令的格式如表 8 和表 9 所示。请注意，要从寄存器中读取数据，必须将 R/W 位设置为 0 以访问寄存器地址，然后将 R/W 设置为 1 以从寄存器中读取数据。

表 8

	芯片地址	R/W		寄存器地址		要写入的数据		
起始	0011 00 CE	0	ACK	RAM	ACK	DATA	ACK	停止

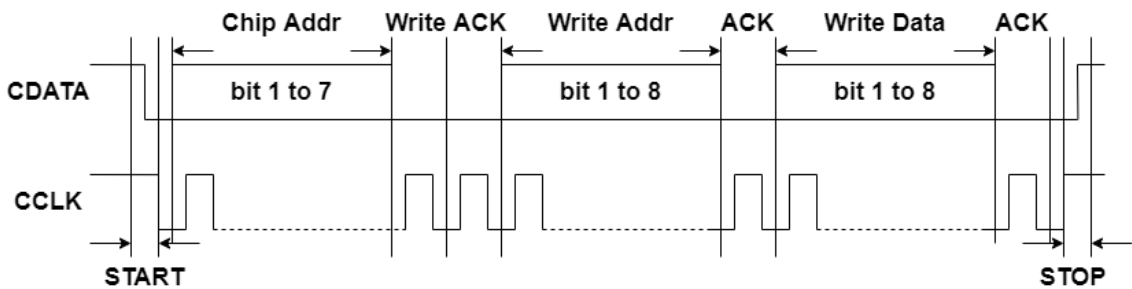


图 6 I²C 写入时序

表 9 I²C 接口模式下从寄存器读取数据表

	芯片地址	R/W		寄存器地址		
起始	0011 00 CE	0	ACK	RAM	ACK	
	芯片地址	R/W		被读取的数据		
起始	0011 00 CE	1	ACK	Data	NACK	停止

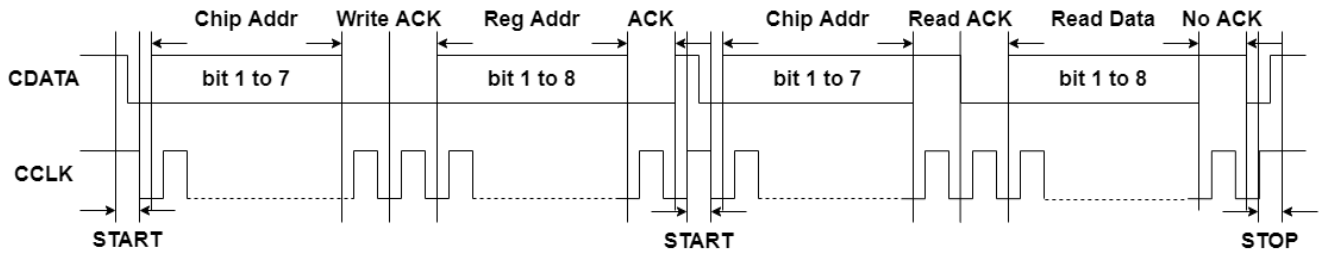


图 7 I²C 读取时序

数字音频接口

该设备支持多种串行音频数据接口格式，包括 I²S、左对齐、右对齐和 DSP/PCM，通过 LRCK、SCLK 和 DSDIN/ASDOUT 引脚实现。DAC 输入 DSDIN 在 SCLK 的上升沿被设备采样，而 ADC 数据在 SCLK 的下降沿在 ASDOUT 输出。这些格式下 SDATA (DSIN/ASDOUT)、SCLK 和 LRCK 之间的关系如图 8 到 11 所示。

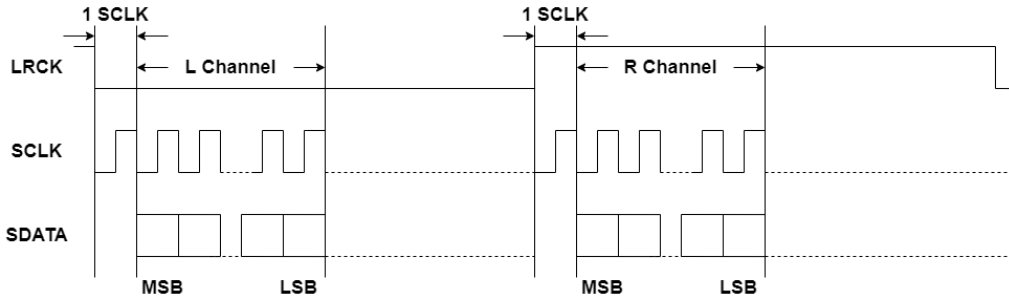


图 8 I²S 串行音频数据格式

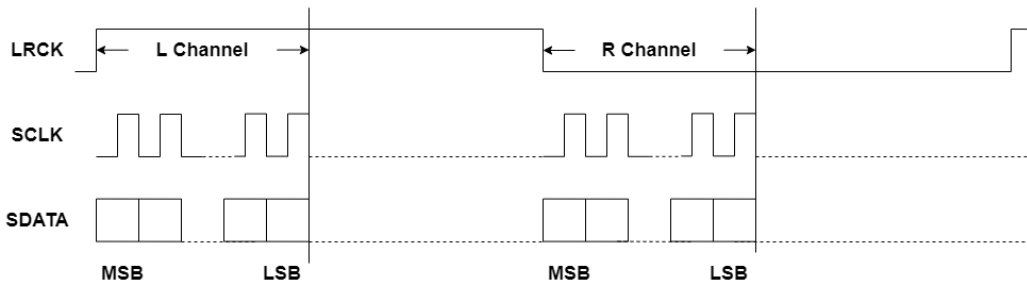


图 9 左对齐串行音频数据格式

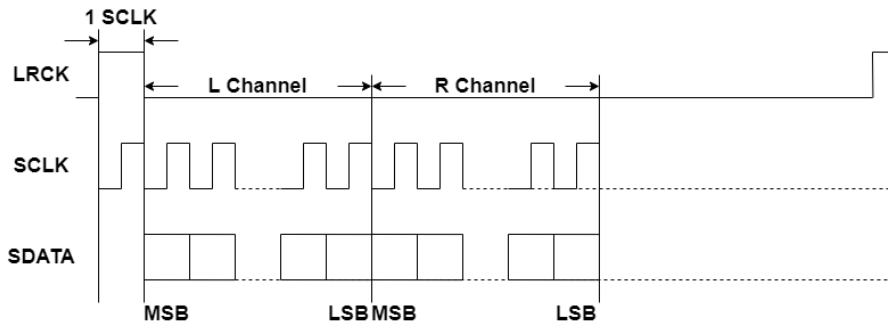


图 10 DSP/PCM 模式 A 串行音频数据格式

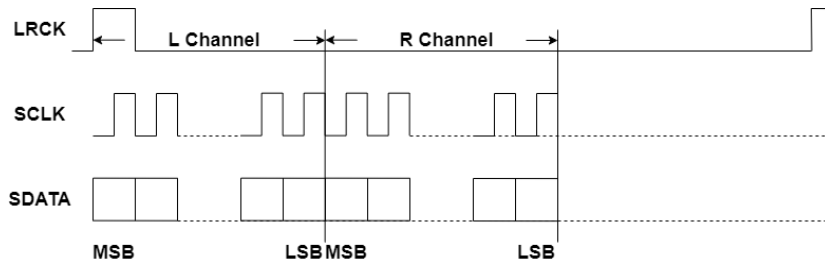


图 11 DSP/PCM 模式 B 串行音频数据格式

寄存器配置

REGISTER 0X00 –RESET, DEFAULT 0001 1111

Bit Name	Bit	Description
CSM_ON	7	Chip current state machine control 0 – csm power down (default) 1 – csm power on
MSC	6	0 – slave serial port mode (default) 1 – master serial port mode
SEQ_DIS	5	Power up sequence control 0 – power up sequence enable (default) 1 – power up sequence disabled
RST_DIG	4	Digital reset 0 – not reset 1 – reset digital except control port block (default)
RST_CMG	3	Clock manager block reset 0 – not reset 1 – reset clock manager block (default)
RST_MST	2	Master block reset 0 – not reset 1 – reset master block (default)
RST_ADC_DIG	1	ADC digital block reset 0 – not reset 1 – reset ADC digital block (default)
RST_DAC_DIG	0	DAC digital block reset 0 – not reset 1 – reset DAC digital block (default)

REGISTER 0X01 – CLOCK MANAGER, DEFAULT 0000 0000

Bit Name	Bit	Description
MCLK_SEL	7	Main clock (mclkin) select 0 – from MCLK (default) 1 – from BCLK
MCLK_INV	6	Main clock (mclkin) invert control 0 – normal MCLK (default) 1 – MCLK invert
MCLK_ON	5	MCLK in control 0 – MCLK off (default) 1 – MCLK on
BCLK_ON	4	SDP bit clock control 0 – BCLK off (default) 1 – BCLK on
CLKADC_ON	3	ADC digital clock control 0 – clk_adc off (default)

		1 – clk_adc on
CLKDAC_ON	2	DAC digital clock control 0 – clk_dac off (default) 1 – clk_dac on
ANACKADC_ON	1	ADC analog clock control 0 – anaclk_adc off 1 – anaclk_adc on (default)
ANACKDAC_ON	0	DAC analog clock control 0 – anaclk dac off 1 – anaclk_dac on (default)

REGISTER 0X02 – CLOCK MANAGER, DEFAULT 0000 0000

Bit Name	Bit	Description
DIV_PRE	7:5	Pre-divide mclk control $mclk_prediv = mclk / (DIV_PRE + 1)$
MULT_PRE	4:3	Pre-multiply mclk_prediv 0 – dig_mclk = mclk_prediv * 1 (default) 1 – dig_mclk = mclk_prediv * 2 2 – dig_mclk = mclk_prediv * 4 3 – dig_mclk = mclk_prediv * 8
PATHSEL	2	reserved
DELYSEL	1:0	reserved

REGISTER 0X03 – CLOCK MANAGER, DEFAULT 0001 0000

Bit Name	Bit	Description
ADC_FSMODE	6	reserved
ADC_OSR	5:0	ADC delta sigma over sample rate 0~14 – not use 15 – 240 16 – 256 ... 31 – 496 32 – 512 ... 63 – 1008

REGISTER 0X04 – CLOCK MANAGER, DEFAULT 0001 0000

Bit Name	Bit	Description
DAC_OSР	6:0	DAC over sample rate 0~14 – not use 15 – 240 16 – 256 (default) 17 – 272 ... 32 – 512 64 – 1024 ... 127 – 508*fs

REGISTER 0X05 – CLOCK MANAGER, DEFAULT 0000 0000

Bit Name	Bit	Description
DIV_CLKADC	7:4	adc_mclk clock divider adc_mclk=dig_mclk/(DIV_CLKADC+1)
DIV_CLKDAC	3:0	dac_mclk clock divider dac_mclk=dig_mclk/(DIV_CLKDAC+1)

REGISTER 0X06 – CLOCK MANAGER, DEFAULT 0000 0011

Bit Name	Bit	Description
BCLK_CON	6	BCLK out control when master mode 0 – normal continual BCLK out (default) 1 – stop BCLK out when data transfer finished
BCLK_INV	5	BCLK invert 0 – normal (default) 1 – BCLK invert
DIV_BCLK	4:0	BCLK divider at master mode 0~19 – MCLK/(DIV_BCLK+1) (default 3) 20 –MCLK /22 21 –MCLK /24 22 –MCLK /25 23 –MCLK /30 24 –MCLK /32 25 –MCLK /33 26 –MCLK /34 27 –MCLK /36 28 –MCLK /44 29 –MCLK /48 30 –MCLK /66 31 –MCLK /72 Note: “ MCLK” here is “ MCLK pin” when MCLK_SEL=0, is “ BCLK pin” when MCLK_SEL=1 (refer to reg0x01[7])

REGISTER 0X07 – CLOCK MANAGER, DEFAULT 0000 0000

Bit Name	Bit	Description
TRI_BLRCK	5	BCLK/LRCK tri-state control 0 – normal (default) 1 – BCLK and LRCK tri-state output
TRI_ADCDAT	4	ADCDAT tri-state control 0 – normal (default) 1 – ADCDAT tri-state output
DIV_LRCK[11:8]	3:0	Master LRCK divider bit 11 to bit 8 $LRCK (master) = MCLK / (LRCK_DIV + 1)$ Note: “MCLK” here is “MCLK pin” when MCLK_SEL=0, is “BCLK pin” when MCLK_SEL=1 (refer to reg0x01[7])

REGISTER 0X08 – CLOCK MANAGER, DEFAULT 1111 1111

Bit Name	Bit	Description
DIV_LRCK[7:0]	7:0	Master LRCK divider bit 7 to bit 0 $LRCK (master) = MCLK / (LRCK_DIV + 1)$ DIV_LRCK=0 LRCK logic high level Note: “MCLK” here is “MCLK pin” when MCLK_SEL=0, is “BCLK pin” when MCLK_SEL=1 (refer to reg0x01[7])

REGISTER 0X09 – SDP, DEFAULT 0000 0000

Bit Name	Bit	Description
SDP_IN_SEL	7	SDP in data select 0 – Left channel data to DAC (default) 1 – right channel data to DAC
SDP_IN_MUTE	6	SDP in mute 0 – unmute (default) 1 – mute
SDP_IN_LRP	5	I2S, left justified or right justified mode: 0 – left and right normal polarity (default) 1 – left and right inverted polarity DSP/PCM mode: 0 – MSB is available on 2nd BCLK rising edge after LRCK rising edge (default) 1 – MSB is available on 1st BCLK rising edge after LRCK rising edge
SDP_IN_WL	4:2	0 – 24-bit serial audio data word length (default) 1 – 20-bit serial audio data word length 2 – 18-bit serial audio data word length 3 – 16-bit serial audio data word length 4 – 32-bit serial audio data word length
SDP_IN_FMT	1:0	0 – I2S serial audio data format (default) 1 – left justify serial audio data format 2 – reserve

		3 – DSP/PCM mode serial audio data format
--	--	---

REGISTER 0X0A – SDP, DEFAULT 0000 0000

Bit Name	Bit	Description
SDP_OUT_MUTE	6	SDP out mute 0 – unmute (default) 1 – mute
SDP_OUT_LRP	5	I2S, left justified or right justified mode: 0 – left and right normal polarity (default) 1 – left and right inverted polarity DSP/PCM mode: 0 – MSB is available on 2nd BCLK rising edge after LRCK rising edge (default) 1 – MSB is available on 1st BCLK rising edge after LRCK rising edge
SDP_OUT_WL	4:2	0 – 24-bit serial audio data word length (default) 1 – 20-bit serial audio data word length 2 – 18-bit serial audio data word length 3 – 16-bit serial audio data word length 4 – 32-bit serial audio data word length
SDP_OUT_FMT	1:0	0 – I2S serial audio data format (default) 1 – left justify serial audio data format 2 – reserve 3 – DSP/PCM mode serial audio data format

REGISTER 0X0D – SYSTEM, DEFAULT 1111 1100

Bit Name	Bit	Description
PDN_ANA	7	0 – enable analog circuits 1 – power down analog circuits (default)
PDN_IBIASGEN	6	0 – enable analog bias circuits 1 – power down analog bias circuits (default)
PDN_ADCBIASGEN	5	0 – enable analog ADC bias circuits 1 – power down analog ADC bias circuits (default)
PDN_ADCVERFGEN	4	0 – enable analog ADC reference circuits 1 – power down analog ADC reference circuits (default)
PDN_DACVREFGEN	3	0 – enable analog DAC reference circuits 1 – power down analog DAC reference circuits (default)
PDN_VREF	2	0 – disable internal reference circuits 1 – enable reference circuits (default)
VMIDSEL	1:0	0 – vmid power down (default) 1 – start up vmid normal speed charge 2 – normal vmid operation 3 – start up vmid fast speed charge

REGISTER 0X0E – SYSTEM, DEFAULT 0110 1010

Bit Name	Bit	Description
PDN_PGA	6	0 – enable analog PGA 1 – power down analog PGA (default)
PDN_MOD	5	0 – enable analog ADC modulator 1 – power down analog ADC modulator (default)
RST_MOD	4	0 – disable (default) 1 – reset modulator
VROI	3	0 – normal impedance 1 – low impedance (default)
LPVREFBUF	2	0 – normal mode of internal reference voltage (default) 1 – low power mode of internal reference voltage

REGISTER 0X10 – SYSTEM, DEFAULT 0001 0011

Bit Name	Bit	Description
SYNCMODE	7	0 – normal (default) 1 – sync mode
VMIDLOW	6:5	0 – vmid='vdda/2' (default) 1 – vmid='vdda/2-75mv' 2 – vmid='vdda/2-145mv' 3 – vmid='vdda/2-175mv'
DAC_IBIAS_SW	4	0 – normal DAC bias setting 1 – higher DAC bias setting (default)
IBIAS_SW	3:2	0 –bias setting level0 (default) 1 –bias setting level1 2 –bias setting level2 3 –bias setting level3 (highest bias)
VX2OFF	1	0 – enable internal reference voltage doubler 1 – off (default)
VX1SEL	0	0 – vx1=1.45v 1 – vx1=1.65v (default)

REGISTER 0X11 – SYSTEM, DEFAULT 0111 1100

Bit Name	Bit	Description
VSEL	6:0	Internal use

REGISTER 0X12 – SYSTEM, DEFAULT 0000 0010

Bit Name	Bit	Description
PDN_DAC	1	0 – enable DAC 1 – power down DAC (default)
ENREFR	0	0 – disable internal reference circuits for DAC output (default) 1 – enable reference circuits for DAC output

REGISTER 0X14 – SYSTEM, DEFAULT 0001 0000

Bit Name	Bit	Description
DMIC_ON	6	DMIC SDA selection 0 – no DMIC 1 – select DMIC and DMIC_SDA from MIC1P
LINSEL	4	0 – no input selection 1 – select Mic1p-Mic1n
PGAGAIN	3:0	ADC PGA gain 0 – 0dB 1 – 3dB 2 – 6dB 3 – 9dB 4 – 12dB 5 – 15dB 6 – 18dB 7 – 21dB 8 – 24dB 9 – 27dB 10 – 30dB

REGISTER 0X15 – ADC, DEFAULT 0000 0000

Bit Name	Bit	Description
ADC_RAMPRATE	7:4	ADC VC ramp rate 0 – disable soft ramp 1 – 0.25dB/4LRCK 2 – 0.25dB/8LRCK 3 – 0.25dB/16LRCK 4 – 0.25dB/32LRCK 5 – 0.25dB/64LRCK 6 – 0.25dB/128LRCK 7 – 0.25dB/256LRCK 8 – 0.25dB/512LRCK 9 – 0.25dB/1024LRCK 10 – 0.25dB/2048LRCK 11 – 0.25dB/4096LRCK 12 – 0.25dB/8192LRCK 13 – 0.25dB/16384LRCK 14 – 0.25dB/32768LRCK 15 – 0.25dB/65536LRCK
DMIC_SENSE	0	DMIC data latch sense 0 – at clock positive edge 1 – at clock negative edge

REGISTER 0X16 – ADC, DEFAULT 0000 0100

Bit Name	Bit	Description
ADC_SYNC	5	synchronize filter counter with LRCK 0 – non standard audio clock 1 – standard audio clock
ADC_INV	4	ADC polarity inverted 0 – normal 1 – inverted
ADC_RAMCLR	3	adc ram clear when lrck/adc_mclk active
ADC_SCALE	2:0	reserved

REGISTER 0X17 – ADC, DEFAULT 0000 0000

Bit Name	Bit	Description
ADC_VOLUME	7:0	ADC volume 0x00 – -95.5dB (default) 0x01 – -90.5dB ... 0.5dB/step 0xBE – -0.5dB 0xBF – 0dB 0xC0 – +0.5dB ... 0xFF – +32dB When ALC is on, ADC_VOLUME = MAXGAIN

REGISTER 0X18 – ADC, DEFAULT 0000 0000

Bit Name	Bit	Description
ALC_EN	7	ADC auto level control enable 0 – ALC disable (default) 1 – ALC enable
ALC_WINSIZE	3:0	winsize for alc 0 – 0.25dB/2LRCK 1 – 0.25dB/4LRCK ... 15 – 0.25dB/65536LRCK

REGISTER 0X19 – ADC, DEFAULT 0000 0000

Bit Name	Bit	Description
ALC_MAXLEVEL	7:4	ALC target max level 0 – -30.1dB 1 – -24.1dB 2 – -20.6dB 3 – -18.1dB

		4 -- -16.1dB 5 -- -14.5dB 6 -- -13.2dB 7 -- -12.0dB 8 -- -11.0dB 9 -- -10.1dB 10 -- -9.3 dB 11 -- -8.5 dB 12 -- -7.8 dB 13 -- -7.2 dB 14 -- -6.6 dB 15 -- -6.0 dB
ALC_MINLEVEL	3:0	ALC target min level 0 -- -30.1dB 1 -- -24.1dB 2 -- -20.6dB 3 -- -18.1dB 4 -- -16.1dB 5 -- -14.5dB 6 -- -13.2dB 7 -- -12.0dB 8 -- -11.0dB 9 -- -10.1dB 10 -- -9.3 dB 11 -- -8.5 dB 12 -- -7.8 dB 13 -- -7.2 dB 14 -- -6.6 dB 15 -- -6.0 dB

REGISTER 0X1A – ADC, DEFAULT 0000 0000

Bit Name	Bit	Description
ADC_AUTOMUTE_WS	7:4	ADC automate winsize Detect samples = $(2^{11}) * (\text{winsize} + 1)$ 0 – 2048 samples - 42ms 1 – 4096 samples - 84ms ... 15 – 32768 samples - 688ms
ADC_AUTOMUTE_NG	3:0	ADC automate noise gate 0 – -96 dB 1 – -90 dB 2 – -84 dB 3 – -78 dB 4 – -72 dB 5 – -66 dB

	6 – -60 dB
	7 – -54 dB
	8 – -51 dB
	9 – -48 dB
	10 – -45 dB
	11 – -42 dB
	12 – -39 dB
	13 – -36 dB
	14 – -33 dB
	15 – -30 dB

REGISTER 0X1B – ADC, DEFAULT 0000 1100

Bit Name	Bit	Description
ADC_AUTOMUTE_GAIN	7:5	Adc automute gain 0 – -0dB 1 – -4 dB 2 – -8 dB 3 – -12 dB 4 – -16 dB 5 – -20 dB 6 – -24 dB 7 – -28 dB
ADC_HPFS1	4:0	ADCHPF stage1 coeff

REGISTER 0X1C – ADC, DEFAULT 0100 1100

Bit Name	Bit	Description
ADC_EQBYPASS	6	ADCEQ bypass 0 – normal 1 – bypass (default)
ADC_HPF	5	ADC offset freeze 0 – freeze offset 1 – dynamic HPF
ADC_HPFS2	4:0	ADCHPF stage2 coeff

REGISTER 0X1E – ADCEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
ADCEQ_B0[19:16]	3:0	20-bit B0 coefficient for ADCEQ

REGISTER 0X1F – ADCEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
ADCEQ_B0[15:8]	7:0	20-bit B0 coefficient for ADCEQ

REGISTER 0X20 – ADCEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
ADCEQ_B0[7:0]	7:0	20-bit B0 coefficient for ADCEQ

REGISTER 0X22 – ADCEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
ADCEQ_A1[19:16]	3:0	20-bit A1 coefficient for ADCEQ

REGISTER 0X23 – ADCEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
ADCEQ_A1[15:8]	7:0	20-bit A1 coefficient for ADCEQ

REGISTER 0X24 – ADCEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
ADCEQ_A1[7:0]	7:0	20-bit A1 coefficient for ADCEQ

REGISTER 0X26 – ADCEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
ADCEQ_A2[19:16]	3:0	20-bit A2 coefficient for ADCEQ

REGISTER 0X27 – ADCEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
ADCEQ_A2[15:8]	7:0	20-bit B0 coefficient for ADCEQ

REGISTER 0X28 – ADCEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
ADCEQ_A2[7:0]	7:0	20-bit A2 coefficient for ADCEQ

REGISTER 0X2A – ADCEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
ADCEQ_B1[19:16]	3:0	20-bit B1 coefficient for ADCEQ

REGISTER 0X2B – ADCEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
ADCEQ_B1[15:8]	7:0	20-bit B1 coefficient for ADCEQ

REGISTER 0X2C – ADCEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
ADCEQ_B1[7:0]	7:0	20-bit B1 coefficient for ADCEQ

REGISTER 0X2E – ADCEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
ADCEQ_B2[19:16]	3:0	20-bit B2 coefficient for ADCEQ

REGISTER 0X2F – ADCEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
ADCEQ_B2[15:8]	7:0	20-bit B2 coefficient for ADCEQ

REGISTER 0X30 – ADCEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
ADCEQ_B2[7:0]	7:0	20-bit B2 coefficient for ADCEQ

REGISTER 0X31 – DAC, DEFAULT 0000 0000

Bit Name	Bit	Description
DAC_DSMMUTE_TO	7	DAC DSM mute target 0 – mute to 8 (default) 1 – mute to 7/9
DAC_DSMMUTE	6	DAC DSM mute control 0 – unmute (default) 1 – mute
DAC_DEMMUTE	5	DAC DEM mute control 0 – unmute (default) 1 – mute
DAC_INV	4	DAC data inversion control 0 – data no phase inversion (default) 1 – data 180 degree phase inversion
DAC_RAMCLR	3	DAC ram clear when lrck/dac_mclk active 0 – normal (default) 1 – clear RAM
DAC_DSMDITH_OFF	2	DAC DSM dither control 0 – dither on (default) 1 – dither off

REGISTER 0X32 – DAC, DEFAULT 0000 0000

Bit Name	Bit	Description
----------	-----	-------------

DAC_VOLUME	7:0	<p>DAC volume</p> <p>0x00 – -95.5dB (default)</p> <p>0x01 – -95.0dB ... 0.5dB/step 0xBE – -0.5dB 0xBF – 0dB</p> <p>0xC0 – +0.5dB</p> <p>...</p> <p>0xFF – +32dB</p> <p>When DRC is on, ADC_VOLUME = MAXGAIN</p>
------------	-----	---

REGISTER 0X33 – DAC, DEFAULT 0000 0000

Bit Name	Bit	Description
DAC_OFFSET	7:0	DAC offset

REGISTER 0X34 – DAC, DEFAULT 0000 0000

Bit Name	Bit	Description
DRC_EN	7	<p>DAC data range control enable</p> <p>0 – disable DRC (default)</p> <p>1 – enable DRC</p>
DRC_WINSIZE	3:0	<p>winsize for DRC</p> <p>cnt_timer [DRC_WINSIZE]</p> <p>0 – 0.25dB/2LRCK (default)</p> <p>1 – 0.25dB/4LRCK</p> <p>...</p> <p>15 – 0.25dB/65536LRCK</p>

REGISTER 0X35 – DAC, DEFAULT 0000 0000

Bit Name	Bit	Description
DRC_MAXLEVEL	7:4	<p>DRC target max level</p> <p>0 – -30.1dB (default)</p> <p>1 – -24.1dB</p> <p>2 – -20.6dB</p> <p>3 – -18.1dB</p> <p>4 – -16.1dB</p> <p>5 – -14.5dB</p> <p>6 – -13.2dB</p> <p>7 – -12.0dB</p> <p>8 – -11.0dB</p> <p>9 – -10.1dB</p> <p>10 – -9.3 dB</p> <p>11 – -8.5 dB</p> <p>12 – -7.8 dB</p> <p>13 – -7.2 dB</p> <p>14 – -6.6 dB</p>

		15 – -6.0 dB
DRC_MINLEVEL	3:0	DRC target min level 0 – -30.1dB (default) 1 – -24.1dB 2 – -20.6dB 3 – -18.1dB 4 – -16.1dB 5 – -14.5dB 6 – -13.2dB 7 – -12.0dB 8 – -11.0dB 9 – -10.1dB 10 – -9.3 dB 11 – -8.5 dB 12 – -7.8 dB 13 – -7.2 dB 14 – -6.6 dB 15 – -6.0 dB

REGISTER 0X36 – DAC, DEFAULT 0000 0000

Bit Name	Bit	Description
----------	-----	-------------

REGISTER 0X37 – DAC, DEFAULT 0000 1000

Bit Name	Bit	Description
DAC_RAMPRATE	7:4	DAC VC/DRC ramp rate 0 – disable soft ramp (default) 1 – 0.25dB/4LRCK 2 – 0.25dB/8LRCK 3 – 0.25dB/16LRCK 4 – 0.25dB/32LRCK 5 – 0.25dB/64LRCK 6 – 0.25dB/128LRCK 7 – 0.25dB/256LRCK 8 – 0.25dB/512LRCK 9 – 0.25dB/1024LRCK 10 – 0.25dB/2048LRCK 11 – 0.25dB/4096LRCK 12 – 0.25dB/8192LRCK 13 – 0.25dB/16384LRCK 14 – 0.25dB/32768LRCK 15 – 0.25dB/65536LRCK

DAC_EQBYPASS	3	DACEQ bypass 0 – enable (default) 1 – bypass
--------------	---	--

REGISTER 0X39 – DACEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
DACEQ_B0[19:16]	3:0	20-bit B0 coefficient for DACEQ

REGISTER 0X3A – DACEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
DACEQ_B0[15:8]	7:0	20-bit B0 coefficient for DACEQ

REGISTER 0X3B – DACEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
DACEQ_B0[7:0]	7:0	20-bit B0 coefficient for DACEQ

REGISTER 0X3D – DACEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
DACEQ_B1[19:16]	3:0	20-bit B1 coefficient for DACEQ

REGISTER 0X3E – DACEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
DACEQ_B1[15:8]	7:0	20-bit B1 coefficient for DACEQ

REGISTER 0X3F – DACEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
DACEQ_B1[7:0]	7:0	20-bit B1 coefficient for DACEQ

REGISTER 0X41 – DACEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
DACEQ_A1[19:16]	3:0	20-bit A1 coefficient for DACEQ

REGISTER 0X42 – DACEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
DACEQ_A1[15:8]	7:0	20-bit A1 coefficient for DACEQ

REGISTER 0X43 – DACEQ, DEFAULT 0000 0000

Bit Name	Bit	Description
DACEQ_A1[7:0]	7:0	20-bit A1 coefficient for DACEQ

REGISTER 0X44 – GPIO, DEFAULT 0000 0000

Bit Name	Bit	Description
ADC2DAC_SEL	7	ADC data to DAC 0 – disable (default) 1 – ADC to DAC
ADCDAT_SEL	6:4	ADCDAT output select 0 – ADC + ADC (default) 1 – 0 + ADC 2 – ADC + 0 3 – 0 + 0 4 – DACL + ADC 5 – ADC + DACR 6 – DACL + DACR 7 – NA
I2C_WL	3	Internal use
GPIO_SEL	2:0	Internal use

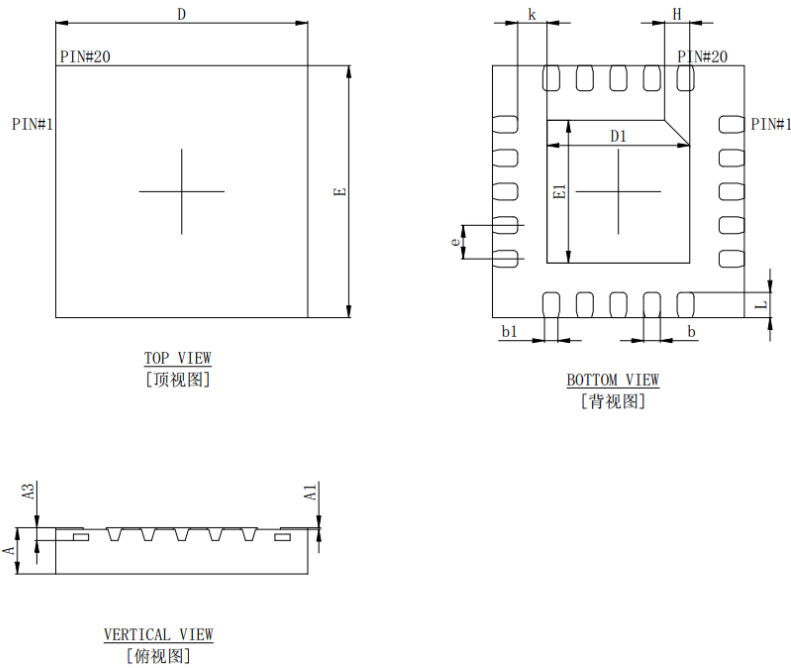
REGISTER 0XFA – I2C, DEFAULT 0000 0000

Bit Name	Bit	Description
I2C_RETIME	1	Internal use
INI_REG	0	Initial registers 0 – not reset (default) 1 – reset registers to default except itself

REGISTER 0X56 – CHIP, DEFAULT 0000 0000

Bit Name	Bit	Description
Chip ID 1	3:0	Chip ID information

外形尺寸



SYMBOL	MIN	NOM	MAX
A	0.500	0.550	0.600
A1	0.000	0.020	0.050
A3	0.152 REF		
b	0.150	0.200	0.250
b1	0.160 REF		
D	2.900	3.000	3.100
E	2.900	3.000	3.100
e	0.400 BSC		
D1	1.600	1.700	1.800
E1	1.600	1.700	1.800
L	0.200	0.300	0.400
k	0.350 REF		
H	0.300 REF		

图 12 封装尺寸 (mm)

订购信息

物料编号	温度范围	封装类型	包装形式
SC2601JDLUM	-40~105°C	QFN-20	Tape & Reel

注：根据客户需求可以定制封装

声明

上述资料仅供参考使用，用于协助芯焱客户进行设计与研发。芯焱有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。